

DIALOG(R)File 351:Derwent WPI  
(c) 2002 Thomson Derwent. All rts. reserv.

011227707    \*\*Image available\*\*  
WPI Acc No: 1997-205610/199719  
XRAM Acc No: C97-066110  
XRPX Acc No: N97-169682

**Semiconductor substrate fabrication - involves forming porous silicon@  
layer and large porosity layer on substrate surface, and ion implanting**  
Patent Assignee: CANON KK (CANO ); SAKAGUCHI K (SAKA-I); SATO N (SATO-I);  
YONEHARA T (YONE-I)

Inventor: SAKAGUCHI K; SATO N; YONEHARA T; KOMEHARA T; SADO N

Number of Countries: 013    Number of Patents: 013

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 767486	A2	19970409	EP 96307306	A	19961007	199719    B
CA 2187269	A	19970407	CA 2187269	A	19961007	199732
JP 9162090	A	19970620	JP 96264386	A	19961004	199735
EP 767486	A3	19971229	EP 96307306	A	19961007	199818
KR 97023666	A	19970530	KR 9644046	A	19961005	199823
TW 330307	A	19980421	TW 96112209	A	19961005	199839
US 5854123	A	19981229	US 96729722	A	19961007	199908
SG 63669	A1	19990330	SG 9610806	A	19961007	199932
CA 2187269	C	20010508	CA 2187269	A	19961007	200129
US 6246068	B1	20010612	US 96729722	A	19961007	200135
			US 98212432	A	19981216	
CN 1159071	A	19970910	CN 96121054	A	19961004	200141
US 20010019153	A1	20010906	US 96729722	A	19961007	200154
			US 98212432	A	19981216	
			US 2000734667	A	20001213	
KR 291501	B	20011024	KR 9644046	A	19961005	200236

Priority Applications (No Type Date): JP 96264386 A 19961004; JP 95260100 A  
19951006

Cited Patents: No-SR.Pub; 3.Jnl.Ref; EP 553859; EP 584777; EP 618624; GB  
2211991; JP 7079016; JP 7302889; US 5374564; WO 9209104

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

EP 767486	A2	E	38	H01L-021/20	
-----------	----	---	----	-------------	--

Designated States (Regional): DE FR GB IT NL SE

CA 2187269	A			H01L-021/70	
------------	---	--	--	-------------	--

JP 9162090	A		27	H01L-021/02	
------------	---	--	----	-------------	--

EP 767486	A3			H01L-021/20	
-----------	----	--	--	-------------	--

KR 97023666	A			H01L-021/20	
-------------	---	--	--	-------------	--

TW 330307	A			H01L-021/20	
-----------	---	--	--	-------------	--

US 5854123	A			H01L-021/76	
------------	---	--	--	-------------	--

SG 63669	A1			H01L-021/20	
----------	----	--	--	-------------	--

CA 2187269	C	E		H01L-021/70	
------------	---	---	--	-------------	--

US 6246068	B1			H01L-047/00	
------------	----	--	--	-------------	--

Div ex application US 96729722

Div ex patent US 5854123

CN 1159071	A			H01L-021/02	
------------	---	--	--	-------------	--

US 20010019153	A1			H01L-027/12	
----------------	----	--	--	-------------	--

Div ex application US 96729722

Div ex application US 98212432

Div ex patent US 5854123

Div ex patent US 6246068

KR 291501	B			H01L-021/20	
-----------	---	--	--	-------------	--

Previous Publ. patent KR 97023666

Abstract (Basic): EP 767486 A

A semiconductor substrate is mfd. by forming a porous Si layer on at least the surface of an Si substrate, and forming a large porosity layer at a constant depth from a surface of the porous Si in the porous Si layer.

Also claimed is the substrate produced, and the prodn. of an EL element, IC or other electronic device using the substrate.

USE - In SOL fabrication techniques.

ADVANTAGE - A high quality substrate can be mfd. with high reproducibility with excellent flatness, and with reduced cost.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-162090

(43)公開日 平成9年(1997)6月20日

(51)Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/02			H 0 1 L 21/02	B
21/20			21/20	
21/265			27/12	B
27/12			21/265	Q

審査請求 未請求 請求項の数27 O L (全 27 頁)

(21)出願番号 特願平8-264388

(22)出願日 平成8年(1996)10月4日

(31)優先権主張番号 特願平7-280100

(32)優先日 平7(1995)10月6日

(33)優先権主張国 日本 (J P)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 佐藤 信彦

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72)発明者 坂口 清文

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72)発明者 米原 隆夫

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

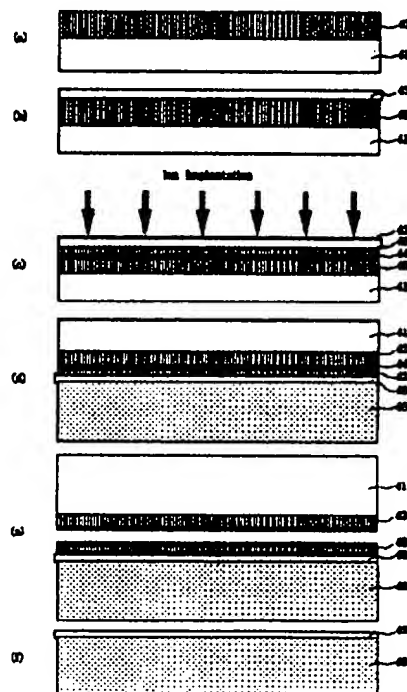
(74)代理人 弁理士 丸島 健一

(54)【発明の名称】 半導体基体とその製造方法

(57)【要約】

【課題】 平坦で品質が十分なSOI基体を再現性よく作製するとともに、同時に材料基体の再使用などによる省資源化、コストダウンを実現する製造方法を提供する。

【解決手段】 Si基体41を多孔質化し、Si基体41の少なくとも表面に多孔質Si層42を形成する多孔質化工程と、多孔質Si層42中にポロジティの大きい多孔質Si層44を形成する高ポロジティ層形成工程をおこなう。この高ポロジティ層形成工程は、多孔質Si層に一定の投影飛程をもってイオンを注入することや、多孔質化工程で、陽極化成をおこなう際、電流密度を変えることによっておこなうことができる。このとき、多孔質Si層42上に非多孔質単結晶Si層43をエピタキシャル成長させて形成しておく。その後、多孔質Si層42の表面と支持基体45を貼り合わせ、ポロジティの大きい多孔質Si層44で分離する。その後、選択エッチングをおこない、多孔質Si層42を除去する。



## 【特許請求の範囲】

【請求項1】 Si基体を多孔質化し、前記Si基体の少なくとも表面に多孔質Si層を形成する多孔質化工程と、前記多孔質Si層中にポロジティの大きい多孔質Si層を前記多孔質から一定の深さの領域で形成する高ポロジティ層形成工程とを有することを特徴とする半導体基体の製造方法。

【請求項2】 高ポロジティ層形成工程は、前記多孔質Si層に一定の投影飛程をもってイオンを注入するイオン注入工程でおこなわれる請求項1に記載の半導体基体の製造方法。

【請求項3】 前記イオン注入工程の前に、前記多孔質Si層の表面に非多孔質層を形成する非多孔質層形成工程を有する請求項2に記載の半導体基体の製造方法。

【請求項4】 前記イオンは、希ガス、水素および窒素のうち少なくとも1種からなる請求項2または3に記載の半導体基体の製造方法。

【請求項5】 前記高ポロジティ層形成工程の後に、前記非多孔質層の表面に支持基体を貼り合わせる貼り合わせ工程と、前記貼り合わせ工程の後に、前記ポロジティの大きい多孔質Si層で前記Si基体を2つに分離する分離工程を有する請求項3に記載の半導体基体の製造方法。

【請求項6】 前記分離工程は、前記Si基体を熱処理することによっておこなわれる請求項5に記載の半導体基体の製造方法。

【請求項7】 前記分離工程は、前記Si基体をその表面に垂直な方向に加圧することによっておこなわれる請求項5に記載の半導体基体の製造方法。

【請求項8】 前記分離工程は、前記Si基体をその表面に垂直な方向に引っ張ることによっておこなわれる請求項5に記載の半導体基体の製造方法。

【請求項9】 前記分離工程は、前記Si基体にせん断応力をかけることによっておこなわれる請求項3に記載の半導体基体の製造方法。

【請求項10】 前記非多孔質層は、単結晶Siからなる請求項3に記載の半導体基体の製造方法。

【請求項11】 前記非多孔質層は、貼り合わせる表面に酸化Si層がある単結晶Siからなる請求項3に記載の半導体基体の製造方法。

【請求項12】 前記非多孔質層は、単結晶化合物半導体である請求項3に記載の半導体基体の製造方法。

【請求項13】 前記支持基体は、Si基体である請求項5に記載の半導体基体の製造方法。

【請求項14】 前記支持基体は、貼り合わせる表面に酸化Si層があるSi基体である請求項5に記載の半導体基体の製造方法。

【請求項15】 前記支持基体は、光透過性基体である請求項5に記載の半導体基体の製造方法。

【請求項16】 前記貼り合わせ工程は、陽極接合、加

圧、熱処理あるいはこれらを組み合わせておこなわれる請求項5に記載の半導体基体の製造方法。

【請求項17】 前記分離工程の後に、前記支持基体の表面に露出した多孔質Si層を除去して、前記非多孔質層を露出させる多孔質Si除去工程を有する請求項5に記載の半導体基体の製造方法。

【請求項18】 前記多孔質Si除去工程は、フッ酸、フッ酸にアルコールか過酸化水素水の少なくともどちらか一方を添加した混合液、バッファードフッ酸、バッファードフッ酸にアルコールか過酸化水素水の少なくともどちらか一方を添加した混合液、のいずれかをを用いて無電解湿式エッチングでおこなわれる請求項17に記載の半導体基体の作製方法。

【請求項19】 前記多孔質Si除去工程に続いて、前記非多孔質層を表面平坦化处理する平坦化处理工程を有する請求項17に記載の半導体基体の製造方法。

【請求項20】 前記平坦化处理工程は、水素を含む雰囲気での熱処理でおこなわれる請求項19に記載の半導体基体の製造方法。

【請求項21】 前記前記多孔質化工程は、前記Si基体の両面に多孔質Si層を形成し、前記貼り合わせ工程は、前記支持基体が2枚あり、前記2枚の支持基体を前記Si基体の両面にある多孔質Si層に貼り合わせる請求項5に記載の半導体基体の製造方法。

【請求項22】 前記分離工程の後に、前記Si基体の表面に露出した多孔質Si層の表面に再度非多孔質層を形成する第2の非多孔質層形成工程と、前記非多孔質層形成工程の後に、前記多孔質Si層に一定の投影飛程をもってイオンを注入し、前記多孔質Si層のポロジティの大きい多孔質Si層を形成する第2のイオン注入工程を有する請求項5に記載の半導体基体の製造方法。

【請求項23】 前記多孔質化工程は、陽極化成によっておこなわれる請求項1に記載の半導体基体の製造方法。

【請求項24】 前記陽極化成は、HF溶液中あるいはHF溶液とアルコールとの混合液でおこなわれる請求項23に記載の半導体基体の製造方法。

【請求項25】 前記高ポロジティ層形成工程は、前記多孔質化工程の間に、陽極化成の電流密度を変えることによっておこなう請求項1に記載の半導体基体の製造方法。

【請求項26】 Si基体の表面層に多孔質Si層があり、前記多孔質Si層中で、前記多孔質Si層の表面から一定の深さの領域にポロジティの大きい多孔質Si層があることを特徴とする半導体基体。

【請求項27】 前記多孔質Si層の表面に非多孔質Siがあり、前記Si基体と前記非多孔質Si層の表面に、それぞれ電極を形成し、発光素子となる請求項26に記載の半導体基体。

【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体基体とその作製方法に関する。更に詳しくは、誘電体分離あるいは、絶縁物上の単結晶半導体、Si基体上の単結晶化合物半導体の作製方法、さらに単結晶半導体層に作成される電子デバイス、集積回路に連する半導体基体の作製方法に関する。

## 【0002】

【従来の技術】絶縁物上の単結晶Si半導体層の形成は、Si オン インシュレーター (SOI) 技術として広く知られ、通常のSi集積回路を作製するバルクSi基体では到達しえない数々の優位点をSOI技術を利用したデバイスが有することから多くの研究が成されてきている。すなわち、SOI技術を利用することで、

1. 誘電体分離が容易で高集積化が可能、
2. 対放射線耐性に優れている、
3. 浮遊容量が低減され高速化が可能、
4. ウェル工程が省略できる、
5. ラッチアップを防止できる、
6. 薄膜化による完全空乏型電界効果トランジスタが可能、

等の優位点が得られる。これらは例えば以下の文献に詳しい。Special Issue: "Single-crystal silicon on non-single-crystal insulators"; edited by G.W.Cullen, Journal of Crystal Growth, volume 63, no 3, pp 429~590 (1983)。

【0003】さらに、ここ数年においては、SOIが、MOSFETの高速化、低消費電力化を実現する基体として多くの報告がなされている (IEEE SOI conference 1994)。また、SOI構造を用いると素子の下部に絶縁層があるので、バルクSiウエハ上に素子を形成する場合と比べて、素子分離プロセスが単純化できる結果、デバイスプロセス工程が短縮される。すなわち、高性能化と合わせて、バルクSi上のMOSFET、ICに比べて、ウエハコスト、プロセスコストのトータルでの低価格化が期待されている。

【0004】なかでも完全空乏型MOSFETは駆動力の向上による高速化、低消費電力化が期待されている。MOSFETの閾値電圧 ( $V_{th}$ ) は一般的にはチャネル部の不純物濃度により決定されるが、SOIを用いた完全空乏型 (FD; Fully Depleted) MOSFETの場合には空乏層厚がSOIの膜厚の影響も受けることになる。したがって、大規模集積回路を歩留まりよく作製するためには、SOI膜厚の均一性が強く望まれていた。

【0005】一方で、化合物半導体上のデバイスはSiでは得られない高い性能、たとえば、高速、発光などを持っている。現在は、これらのデバイスはほとんどGaAs等の化合物半導体基体上にエピタキシャル成長をしてその中に作り込まれている。

【0006】しかし、化合物半導体基体は、高価で、機

械的強度が低く、大面積ウエハは作製が困難などの問題点がある。このようなことから、安価で、機械的強度も高く、大面積ウエハが作製できるSiウエハ上に、化合物半導体をヘテロエピタキシャル成長させる試みがなされている。

【0007】SOIの話に戻ると、SOI基体の形成に関する研究は1970年代頃から盛んであった。初期には、絶縁物であるサファイア基体の上に単結晶Siをヘテロエピタキシャル成長する方法 (SOS: Sapphire on Silicon) や、多孔質Siの酸化による誘電体分離によりSOI構造を形成する方法 (FIPOS: Fully Isolation by Porous Oxidized Silicon)、酸素イオン注入法がよく研究された。

【0008】FIPOS法は、P型Si単結晶基体表面にN型Si層をプロトンイオン注入、(イマイ他, J. Crystal Growth, vol 63, 547(1983))、もしくは、エピタキシャル成長とパターニングによって島状に形成し、表面よりSi島を囲むようにHF溶液中の陽極化成法によりP型Si基体のみを多孔質化したのち、増速酸化によりN型Si島を誘電体分離する方法である。本方法では、分離されているSi領域は、デバイス工程のまえに決定されており、デバイス設計の自由度を制限する場合があるという問題点がある。

【0009】酸素イオン注入法は、K. Izumiによって始めて報告されたSIMOXと呼ばれる方法である。Siウエハに酸素イオンを $10^{17} \sim 10^{18} / \text{cm}^2$  程度注入したのち、アルゴン・酸素雰囲気中で1320℃程度の高温でアニールする。その結果、イオン注入の投影射程 ( $R_p$ ) に相当する深さを中心に注入された酸素イオンがSiと結合して酸化Si層が形成される。その際、酸化Si層の上部の酸素イオン注入によりアモルファス化したSi層も再結晶化して、単結晶Si層となる。表面のSi層中に含まれる欠陥は従来 $10^5 / \text{cm}^2$  と多かったが、酸素の打ち込み量を $4 \times 10^{17} / \text{cm}^2$  付近にすることで、 $10^2 / \text{cm}^2$  まで低減することに成功している。しかしながら、酸化Si層の膜質、表面Si層の結晶性等を維持できるような注入エネルギー、注入量の範囲が狭いために、表面Si層、埋め込み酸化Si層 (BOX; Buried Oxide) の膜厚は特定の値に制限されていた。所望の膜厚の表面Si層を得るためには、機械酸化、ないしは、エピタキシャル成長することが必要であった。その場合、膜厚の分布には、これらプロセスによる劣化分が重畳される結果、膜厚均一性が劣化するという問題点がある。

【0010】また、BOX層にはパイプと呼ばれる酸化Siの形成不良領域が存在することが報告されている。この原因のひとつとしては、注入時のダスト等の異物が考えられている。パイプの存在する部分では活性層と支持基体の間のリークによりデバイス特性の劣化が生じてしまう。

【0011】また、SIMOXのイオン注入は、通常の

半導体プロセスで使用するイオン注入と比べ注入量が多いため、専用の装置が開発されてもなお、注入時間は長い。イオン注入は所定の電流量のイオンビームをラスタースキャンして、あるいは、ビームを拡げて行われるため、ウエハの大面积化に伴い、注入時間の増大が想定される。また、大面积ウエハの高温熱処理では、ウエハ内の温度分布によるスリップの発生などの問題がよりシビアになることが指摘されている。SIMOXでは1320℃というSi半導体プロセスでは通常使用しない高温での熱処理が必須であることから、装置開発を含めて、この問題の重要性がさらに大きくなることが懸念されている。

【0012】また、上記のような従来のSOIの形成方法とは別に、近年、Si単結晶基体を、熱酸化した別のSi単結晶基体に、熱処理又は接着剤を用いて張り合わせ、SOI構造を形成する方法が注目を浴びている。この方法は、デバイスのための活性層を均一に薄膜化する必要がある。すなわち、数百ミクロンもの厚さのSi単結晶基体をミクロンオーダーかそれ以下に薄膜化する必要がある。この薄膜化には以下のように3種類の方法がある。

1. 研磨による薄膜化
2. 局所プラズマエッチングによる薄膜化
3. 選択エッチングによる薄膜化

【0013】1の研磨では均一に薄膜化することが困難である。特にサブミクロンの薄膜化は、ばらつきが数十%にもなってしまう、この均一化は大きな問題となっている。さらにウエハの大口径化が進めばその困難度は増すばかりである。

【0014】2の方法は、あらかじめ1の方法で1～3μm程度まで1の研磨による方法で薄膜化したのち、膜厚分布を全面で多点測定する。このあとこの膜厚分布にもとづいて、直径数mmのSF<sub>6</sub>などを用いたプラズマをスキャンさせることにより膜厚分布を補正しながらエッチングして、所望の膜厚まで薄膜化する。この方法では膜厚分布を±10nm程度にできることが報告されている。しかし、プラズマエッチングの際に基体上異物（パーティクル）があるとこの異物がエッチングマスクとなるために基体上に突起が形成されてしまう。

【0015】エッチング直後には表面が荒れているために、プラズマエッチング終了後にタッチポリッシングが必要であるが、ポリッシング量の制御は時間管理によって行われるので、最終膜厚の制御、および、ポリッシングによる膜厚分布の劣化が指摘されている。さらに研磨ではコロイダルシリカ等の研磨剤が直接に活性層になる表面を擦るので、研磨による破砕層の形成、加工歪みの導入も懸念されている。さらにウエハが大面积化された場合にはウエハ面積の増大に比例して、プラズマエッチング時間が増大するため、スループットの著しい低下も懸念される。

【0016】3の方法は、あらかじめ薄膜化する基体に選択エッチング可能な膜構成をつくり込んでおく方法である。例えば、p-基体上にボロンを10<sup>19</sup>/cm<sup>3</sup>以上の濃度を含んだp-Siの薄層とp-Siの薄層をエピタキシャル成長などの方法で積層し、第1の基体とする。これを酸化膜等の絶縁層を介して、第2の基体と貼り合わせたのち、第1の基体の裏面を、研削、研磨で予め薄くしておく。その後、p-層の選択エッチングで、p+層を露出、さらにp+層の選択エッチングでp-層を露出させ、SOI構造を完成させるものである。この方法はMaszaraの報告に詳しい。

【0017】選択エッチングは均一な薄膜化に有効とされているが、

- ・せいぜい10<sup>2</sup>と選択比が十分でない
- ・エッチング後の表面性が悪いので、エッチング後にタッチポリッシュが必要。しかし、その結果、膜厚が減少するとともに、膜厚均一性も劣化しやすい。特にポリッシングは時間によって研磨量を管理するが、研磨速度のばらつきが大きいので、研磨量の制御が困難。したがって、100nmというような極薄SOI層の形成において、特に問題となる
- ・イオン注入、高濃度BドーパSi層上のエピタキシャル成長あるいはヘテロエピタキシャル成長を用いているためSOI層の結晶性が悪い
- ・被貼り合わせ面の表面性も通常のSiウエハより劣る等の問題点がある（C.Harendt, et.al., J. Elect. Mater. Vol. 20, 267 (1991)、H. Baumgart, et.al., Extended Abstract of ECS 1st International Symposium of Wafer Bonding, pp-733 (1991)、C.E. Hunt, Extended Abstract of ECS 1st International Symposium of Wafer Bonding, p-696 (1991)）。また、選択エッチングの選択性はボロン等の不純物の濃度差とその深さ方向プロファイルの急峻性に大きく依存している。したがって、貼り合わせ強度を高めるための高温のボンディングアニールや結晶性を向上させるために高温のエピタキシャル成長を行ったりすると、不純物濃度の深さ方向分布が拡がり、エッチングの選択性が劣化してしまう。すなわち、エッチングの選択比の向上の結晶性は貼り合わせ強度の向上の両立は困難であった。

【0018】

【発明が解決しようとする課題】最近、米原らはかかる問題点を考慮し、膜厚均一性や結晶性に優れ、バッチ処理が可能な貼り合わせSOIを報告した。これについて、図6を用いて概要を説明する。この方法は、Si基体上61に形成された多孔質層62を選択エッチングの材料として用いる（図6(a)）。多孔質層62の上に非多孔質単結晶Si層63をエピタキシャル成長（図6(b)）させた後、酸化Si層を介して支持基体64と貼り合わせる（図6(c)）。Si基体61を裏面より研削等の方法で薄膜化し、基体全面において多孔質Si

62を露出させる(図6(d))。露出させた多孔質Si 62はKOH、HF+H<sub>2</sub>O<sub>2</sub>などの選択エッチング液によりエッチングして除去する(図6(d))。このとき、多孔質SiのバルクSi(非多孔質単結晶Si)に対するエッチングの選択比を10万倍と十分に高くできるので、あらかじめ多孔質上に成長した非多孔質単結晶Si層を膜厚を殆ど減じることなく、支持基体の上に残し、SOI基体を形成することができる。したがって、SOIの膜厚均一性はエピタキシャル成長時にほぼ決定づけられる。エピタキシャル成長は通常半導体プロセスで使用されるCVD装置が使用できるので、佐藤らの報告によれば、その均一性は例えば100nm±2%以内が実現されている。また、エピタキシャルSi層の結晶性も良好で $3.5 \times 10^2 / \text{cm}^2$ が報告された。

【0019】従来の方法ではエッチングの選択性は不純物濃度の差とその深さ方向のプロファイルによっていたため、濃度分布広げてしまう熱処理の温度(貼り合わせ、エピタキシャル成長、酸化等)は概ね800℃以下と大きく制約されていた。一方、この方法におけるエッチングは多孔質とバルクという構造の差がエッチングの速度を決めているため、熱処理温度の制約は小さく、1180℃程度の熱処理が可能であることが報告されている。例えば貼り合わせ後の熱処理は、ウエハ同士の接着強度を高め、貼り合わせ界面に生じる空隙(Void)の数、大きさを減少させることが知られている。また、斯様な構造差にもとづくエッチングでは多孔質Si上に付着したパーティクルがあっても、膜厚均一性に影響を及ぼさない。

【0020】また、ガラスに代表される光透過性基体上には、一般には、その結晶構造の無秩序性から、堆積した薄膜Si層は、基体の無秩序性を反映して、非晶質か、良くて多結晶層にしかならず、高性能なデバイスは作製できない。それは、基体の結晶構造が非晶質であることによっており、単に、Si層を堆積しても、良質な単結晶層は得られない。

【0021】しかしながら、貼り合わせを用いた半導体基体は、通常2枚のウエハを必要とし、そのうち1枚はほとんど大部分が研磨・エッチング等により無駄に除去され捨てられてしまい、限りある地球の資源を無駄に使用してしまう。したがって、貼り合わせによるSOIにおいては、現状の方法では、その制御性、均一性さらには経済性に多くの問題点が存在する。

【0022】このような貼り合わせ法において消費される第1の基体を再利用する方法を、本出願人は、先に提案した(特願平07-045441号)。この方法は、前述した多孔質Siを用いる貼り合わせとエッチバック法において、第1の基体を裏面より研削、エッチング等の方法で薄層化して多孔質Siを露出させる工程に代えて以下のような方法を採用したものである。これについて図7を用いて説明する。

【0023】Si基体71の表面層を多孔質化して、多孔質Si層72(図7(a))を形成したのち、その上に単結晶Si層73を形成し(図7(b))、この単結晶Si層と第1のSi基体とは別の支持基体となるSi基体74の主面とを絶縁層を界して貼り合わせる(図7(c))。この後、多孔質層72で貼り合わせたウエハを分離し、支持基体となるSi基体側の表面に露出した多孔質Si層72を選択的に除去することにより、SOI基体を形成するのである。貼り合わせたウエハの分離は、例えば次の方法によってなされる。即ち、貼り合わせたウエハに面内に対して垂直方向にさらに面内に均一に十分な引っ張り力、ないし、圧力を加える、超音波等の波動エネルギーを印加する、ウエハ端面に多孔質層を表出させ、多孔質Siをある程度エッチングし、そこへ剃刀の刃のようなものを挿入する、ウエハ端面に多孔質層を表出させ、多孔質Siに水等の液体をしみ込ませた後、貼り合わせウエハ全体を加熱あるいは冷却し液体の膨張させる、あるいは、Si基体71に対して支持基体74に水平方向に力を加える等の方法により、分離がなされる。

【0024】これらは、いずれも多孔質Si層72の機械的強度がポロジティ(porosity)により異なるが、バルクSiよりも十分に弱いと考えられることに基づく。たとえば、ポロジティが50%であれば機械的強度はバルクの半分と考えて良い。すなわち、貼り合わせウエハに圧縮、引っ張りあるいは撓断力をかけると、まず多孔質Si層が破壊されることになる。また、ポロジティを増加させればより弱い力で多孔質層を破壊できる。

【0025】しかしながら、多孔質Siのポロジティを高くすると、バルクSiと格子定数の比が大きくなるために歪みが導入され、ウエハの反りが増大する結果、貼り合わせ時にボイドと呼ばれる空隙状の貼り合わせ不良領域の数が増える、結晶欠陥密度が増大し、ひどい場合にはエピタキシャル層にクラックが導入される、エピタキシャル成長時の熱歪みの影響によりウエハの外周にスリップラインが導入されるようになる、などの問題が生ずる可能性があった。

【0026】ウエハの面と垂直方向、ないし、水平方向に力を加える場合、半導体基体が完全剛体でなく弾性体であるため、ウエハの支持方法によっては、ウエハが弾性変形して力が逃げてしまい、多孔質層に力がうまくかからないことがあった。同様にウエハの端面より剃刀の刃のようなものを差し込む場合には剃刀の厚みを十分に薄く、かつ、剛性の十分に高いものを用いないと、歩留まりが低下する可能性があった。

【0027】また、貼り合わせ面の接着強度が多孔質Si層の強度とくらべて弱い場合、あるいは、局所的に弱い部分が存在する場合、貼り合わせ面で2枚のウエハが分割されてしまい、初期の目的を達成できないという恐

れも生ずる。

【0028】また、いずれの方法においても、多孔質層において分断される位置は一定ではないために多孔質SiとバルクSiエッチング速度の比が十分でない場合には多孔質層が厚く残った部分よりも先に薄く残った部分でエピタキシャルSi層が多少なりともエッチングされてしまい、SOI層の膜厚均一性が劣化してしまうという恐れもある。特にSOI層の最終膜厚が100nm程度の薄くなった場合には膜厚均一性を劣化させてしまうことになり、閾値電圧が膜厚に敏感な完全空乏型MOSFETのような素子を形成する場合、問題となる可能性が生ずる。

【0029】また、SOIを作製する方法としては、特開平5-211128号(USP5, 374, 564)が開示している方法がある。この方法は単結晶Si基体に直接Hイオンを打ち込み、その後、単結晶Si基体と支持基体を貼り合わせる。そして、最後に、単結晶Si基体をHイオンを打ち込んだ層で分離し、SOIを作製するのである。この方法は、単結晶Si基体に直接Hイオンを打ち込み分離するので、SOI層の平坦性が良くない。又、SOI膜厚はイオン注入の投影飛程により決定されるため、膜厚の自由度が低い。又、膜厚と分離の両方を満足する注入条件を選ぶ必要があり、制御に困難がある。さらにイオン注入で決定できない薄層を得ようとする場合、非選択性の薄層化プロセス(研磨、エッチングなど)を行う必要があり、膜厚均一性を劣化させる恐れがある。

【0030】このため、品質が十分なSOI基体を再現性よく作製するとともに、同時にウエハの再使用等による省資源、コストダウンを実現する方法が望まれていた。

【0031】また、ガラスに代表される光透過性基体上には、一般には、その結晶構造の無秩序性から、堆積した薄膜Si層は、基体の無秩序性を反映して、非晶質か、良くて多結晶層にしかならず、高性能なデバイスを作製できない。それは、基体の結晶構造が非晶質であることによっており、単に、Si層を堆積しても、良質な単結晶層は得られない。

【0032】ところで、光透過性基体は、光受光素子であるコンタクトセンサーや、投影型液晶画像表示装置を構成するうえにおいて重要である。そして、センサーや表示装置の画素(絵素)をより一層、高密度化、高解像度化、高精細化するには、高性能な駆動素子が必要となる。その結果、光透過性基体上に設けられている素子としても優れた結晶性を有する単結晶層を用いて作製されることが必要となる。

【0033】さらに単結晶層を用いれば、画素を駆動する周辺回路や画像処理用の回路を画素と同一の基体に組み込み、チップの小型化・高速化を図ることができる。

【0034】すなわち、非晶質Siや多結晶Siでは、

その欠陥の多い結晶構造ゆえに要求されるあるいは今後要求されるに十分な性能を持った駆動素子を作製することが難しい。

【0035】一方、化合物半導体のデバイス作製には化合物半導体の基体が必要不可欠となっているものの、化合物半導体の基体は高価で、しかも、大面積化が非常に困難である。

【0036】さらに、Si基体上にGaAs等の化合物半導体をエピタキシャル成長させることが試みられているが、格子定数や熱膨張係数の違いにより、その成長膜は結晶性が悪く、デバイスに応用することは非常に困難となっている。

【0037】また、格子のミスフィットを緩和するため多孔質Si上に化合物半導体をエピタキシャル成長させることが試みられているが、多孔質Siの熱安定性の低さ、経時変化等によりデバイスを作製中あるいは、作製した後の基体としての安定性、信頼性に欠ける。しかし、化合物半導体基体は、高価で、機械的強度が低く、大面積ウエハは作製が困難などの問題点がある。

【0038】このようなことから、安価で、機械的強度も高く、大面積ウエハが作製できるSiウエハ上に、化合物半導体をヘテロエピタキシャル成長させる試みがなされている。

【0039】また、近年多孔質Siはフォトルミネッセンス・エレクトロルミネッセンス等の発光材料としても注目を集め、数多くの研究報告がなされている。一般に多孔質Siの構造は、Si中に含有される不純物のタイプ(p, n)と濃度によって大きく異なる。pタイプの不純物をドーピングした場合、大まかにいって不純物濃度が $10^{18}/\text{cm}^3$ 以上か、 $10^{17}/\text{cm}^3$ 以下であるかで、多孔質Siの構造は大きく2種類に分けられる。

【0040】前者の場合には、多孔質の孔壁は比較的厚く、数nmから数十nmあり、孔密度も $10^{11}/\text{cm}^2$ 程度であり、ポロジティも比較的低めであるが、この多孔質を発光に供することは難しい。一方、後者を出発材料にした多孔質は前者に比べると、孔壁が数nm以下で孔密度も1桁程度大きく、ポロジティも50%を超えるものが容易に形成される。フォトルミネッセンス等の発光現象の多くは後者を出発材料にして形成したものが主流である。しかし、ポロジティが大きい分、機械的強度も低い。また、バルクSiとの格子定数ずれも $10^{-3}$ もあり、(前者は $10^{-4}$ 程度)かかる多孔質上に単結晶Si層をエピタキシャル成長しようとするときエピタキシャルSi層には欠陥が多く導入されるのみならず、クラックが導入されるなどの問題があった。一方で、発光材料として適した微小多孔質構造は発光素子として利用するためには、多孔質Si上にエピタキシャルSi層を形成してコンタクトをとり、あるいは、エピタキシャルSi層に周辺回路たるMOSFET等を形成することが望まれていた。

【0041】



【課題を解決するための手段】本発明は多孔質層中にさらに微細な多孔質構造を重畳することで上記したようなさまざまな課題を解決する半導体基体、および、その形成方法を提供することを目的とする。

【0042】以上の課題を解決するため、本発明者が鋭意努力した結果、以下の発明を得た。すなわち、本発明の半導体基体は、Si基体の表面層に多孔質Si層があり、前記多孔質Si層中で、前記多孔質Si層の表面から一定の深さの領域にポロジティの大きい多孔質Si層があることを特徴とする。ここで、前記半導体基体は、発光素子となるために、前記多孔質Si層の表面に非多孔質Siがあり、前記Si基体と前記非多孔質Si層の表面に、それぞれ電極を形成してもいい。

【0043】本発明の半導体基体によれば、例えばP+Si基体上に形成された多孔質Siのように機械的強度の高い多孔質層中に発光材料となるような微細な構造を有する多孔質層を挟み込んだ構造が容易に形成できる。かかる微細な構造を有する多孔質層はその格子定数がバルクSiと異なるが、中間的な格子定数を有する大きい構造の多孔質Si層中に挟み込むことによりストレスを緩和し、クラックや欠陥の導入を抑制できる。すなわち、構造的に安定な発光層を形成することができるため、周辺回路の形成や配線形成等の工程に供する事が可能となるばかりでなく、長期安定性に優れた材料を提供することが可能である。

【0044】また、本発明の半導体基体によれば、イオン注入の可能な投影飛程に相当する程度の極薄の多孔質層が形成される。かかる多孔質層は、孔径が数10nm以下と小さくできるのでガス中の直径数10nmを超える程度の微小な異物をも除去できる。また、かかる多孔質層は、厚みが20μm以下と薄いできるのでガスのコンダクタンスを確保できる。すなわち、ガス中のパーティクルフィルターとして使用すれば、直径数10nm以下の粒子を除去し、かつ、圧力損失の小さいフィルターを作製することが可能である。また、基体に半導体プロセスで用いられる高純度Siを用いれば、フィルター自身からの汚染の心配もない。

【0045】本発明は、半導体基体の製造方法をも包含する。すなわち、本発明の半導体基体の製造方法は、Si基体を多孔質化し、前記Si基体の少なくとも表面上に多孔質Si層を形成する多孔質化工程と、前記多孔質Si層中にポロジティの大きい多孔質Si層を前記多孔質層から一定の深さの領域で形成する高ポロジティ層形成工程とを有することを特徴とする。このとき、高ポロジティ層形成工程は、前記多孔質Si層に一定の投影飛程をもってイオンを注入するイオン注入工程でおこなわれることができる。このとき、前記イオンは、希ガス、水素および窒素のうち少なくとも1種からなるといい。また、前記イオン注入工程の前に、前記多孔質Si層の表面に非多孔質層を形成する非多孔質層形成工程を有する

といい。また、前記高ポロジティ層形成工程の後に、前記非多孔質層の表面に支持基体を貼り合わせる貼り合わせ工程と、前記貼り合わせ工程の後に、前記ポロジティの大きい多孔質Si層で前記Si基体を2つに分離する分離工程を有するといい。前記分離工程は、前記Si基体を熱処理すること、前記Si基体をその表面に垂直な方向に加圧すること、前記Si基体をその表面に垂直な方向に引っ張ること、前記Si基体にせん断応力をかけることによっておこなわれるといい。

【0046】ここで、前記非多孔質層は、単結晶Si、貼り合わせる表面に酸化Si層がある単結晶Si、単結晶化合物半導体であるといい。また、前記支持基体は、Si基体、貼り合わせる表面に酸化Si層があるSi基体、光透過性基体であるといい。前記貼り合わせ工程は、陽極接合、加圧、熱処理あるいはこれらを組み合わせておこなわれるといい。前記分離工程の後に、前記支持基体の表面に露出した多孔質Si層を除去して、前記非多孔質層を露出させる多孔質Si除去工程を有するといいい。前記多孔質Si除去工程は、フッ酸、フッ酸にアルコールか過酸化水素水の少なくともどちらか一方を添加した混合液、バッファードフッ酸、バッファードフッ酸にアルコールか過酸化水素水の少なくともどちらか一方を添加した混合液、のいずれかをを用いて無電解湿式エッチングでおこなわれるといい。前記多孔質Si除去工程に続いて、前記非多孔質層を表面平坦化处理する平坦化处理工程を有するといいい。前記平坦化处理工程は、水素を含む雰囲気での熱処理でおこなわれるといいい。

【0047】ここで、前記前記多孔質化工程は、前記Si基体の両面をに多孔質Si層を形成し、前記貼り合わせ工程は、前記支持基体が2枚あり、前記2枚の支持基体を前記Si基体の両面にある多孔質Si層に貼り合わせることもできる。また、前記分離工程の後に、前記Si基体の表面に露出した多孔質Si層の表面に再度非多孔質層を形成する第2の非多孔質層形成工程と、前記非多孔質層形成工程の後に、前記多孔質Si層に一定の投影飛程をもってイオンを注入し、前記多孔質Si層のポロジティの大きい多孔質Si層を形成する第2のイオン注入工程を有することもできる。前記多孔質化工程は、陽極化成によっておこなわれるといいい。また、前記陽極化成は、HF溶液中またはHF溶液とアルコールの混合液でおこなわれるといいい。

【0048】また、前記高ポロジティ層形成工程は、前記多孔質化工程の間に、陽極化成の電流密度を変えることによっておこなうこともできる。

【0049】上記方法で分離されたSi基体は残留多孔質を除去した後、表面平坦性が不十分であれば表面平坦化处理を行うことにより再びSi基体として再利用することが可能である。表面平坦化处理は通常半導体プロセスで使用される研磨、エッチング等の方法でもよいが、水素を含む雰囲気での熱処理によっても構わない。この



熱処理は条件を選ぶことにより、局所的には原子ステップが表出するほど平坦にすることができる。

【0050】本発明の半導体基体の製造方法によれば、Si基体を除去する際に、大面積に多孔質層を介して一括して分離することができるため、工程を短縮し、しかも、分離する位置はイオン注入により多孔質層中に規定されるので、支持基体側にのこる多孔質層の厚みが均一なため、選択性よく多孔質層を除去することができる。

【0051】本発明の半導体基体の製造方法によれば、あらかじめ、大面積に多孔質層を介して一括して分離することができるため、Si基体を除去し多孔質Si層を露出するために従来必須であった研削、研磨、エッチング工程を省略し、工程を短縮することができる。しかも、分離する位置は多孔質層中になるように希ガス、水素、および、窒素のうち少なくとも1種の元素を該多孔質層内に投影飛程をもつようにイオン注入しておくことにより規定されるので、支持基体側にのこる多孔質層の厚みが均一なため、選択性よく多孔質層を除去することができる上、残った多孔質層の厚みが局所的に薄いために、非多孔質層が先に表出して、エッチングされてしまうこともおこりにくくなる。ここで、ポロジティの高い多孔質層の形成は、イオン注入に限定されるものではなく、例えば陽極化成時の電流を変えることによって実現できる。

【0052】また、従来必須であった多孔質Siを表出するための研削、エッチング工程が省略されるのみでなく、取り去ったSi基体も残留多孔質を除去することにより再びSi基体として再利用することが可能である。多孔質Si除去後の表面平坦性が不十分であれば表面平坦化処理を行う。貼り合わせた2枚の基体が剥離する位置は投影飛程によって規定されるので、従来の方法のように剥離する位置が多孔質Si内でばらつくことがないため、多孔質Siの除去をする際に先に露出した単結晶Si層がエッチングされて膜厚均一性が劣化することがない。また、このSi基体は強度的に使用不可となるまで何度でも再使用することが可能である。しかも、剥離する位置はイオン注入の投影飛程に相当する深さ付近に限定されるので、多孔質層の厚みは従来に比べて薄くできる。さらに、ポロジティの高い層を多孔質層の表面から、一定の深さの層にし、分離できるので、非多孔質層の結晶性などの品質も劣化しない。

【0053】あるいは、分離したSi基体は残留した多孔質を除去せず、再び非多孔質単結晶Si層を形成することにより、本発明のSi基体として再利用することが可能である。また、このSi基体は強度的に使用不可となるまで何度でも再使用することが可能である。

【0054】さらに本発明によれば、従来の貼り合わせ基体の作製はSi基体を研削やエッチングにより片面から順次除去していく方法を用いているため、Si基体の両面を有効活用し支持基体に貼り合わせることは不可能

であるが、本発明によれば、Si基体はその表面層以外は元のまま保持されているため、Si基体の両面を共に主面とし、その面にそれぞれ支持基体を貼り合わせることで、2枚の貼り合わせ基体を同時に1枚のSi基体から作製することができるので、工程を短縮し、生産性を向上することができる。もちろん、分離されたSi基体は再利用することが可能である。

【0055】すなわち、本発明は、経済性に優れて、大面積に渡り均一平坦な、極めて優れた結晶性を有するSi単結晶基体を用いて、表面に形成されたSiあるいは化合物半導体活性層を残して、その片面から該活性層までを取り去り、絶縁物上に欠陥の著しく少ないSi単結晶層あるいは化合物半導体単結晶層を提供する。

【0056】本発明は、透明基体（光透過性基体）上に結晶性が単結晶ウエハー並に優れたSiあるいは化合物半導体単結晶層を得るうえで、生産性、均一性、制御性、コストの面において卓越した半導体基体の作製方法を提供する。

【0057】また、本発明は、SOI構造の大規模集積回路を作製する際にも、高価なSOSや、SIMOXの代替足り得る半導体基体の作製方法を提供する。

【0058】本発明によれば、多孔質Si上に結晶性の良い単結晶化合物半導体層を形成でき、さらにこの半導体層を経済性に優れている、しかも大面積の絶縁性基体上に移し代えることが可能であり、上記問題点である格子定数、熱膨張係数の差を十分に抑制し、良好な結晶性を有する化合物半導体層を絶縁性基体上に形成することができる。

【0059】さらに、本発明の多孔質Si層の除去は、多孔質Siの機械的強度の低さと膨大な表面積を有することから、単結晶層を研磨ストッパーとして選択研磨により行うことも可能となる。

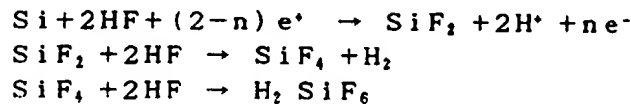
【0060】

【発明の実施の形態】本発明は上記したような多孔質層中にさらに微細な多孔質構造を重畳することで上記したさまざまな課題を同時に解決するものである。

【0061】バルクSi中にヘリウムや水素をイオン注入し、熱処理を加えると注入された領域に直径数nm～数10nmの微小空洞(micro-cavity)が $\sim 10^{16} \sim 10^{17} / \text{cm}^3$ の密度で形成されることが報告されている（例えば、A. Van Veen, C. C. Griffioen, and J. H. Evans, Mat. Res. Soc. Symp. Proc. 107 (1988, Material Res. Soc. Pittsburgh, Pennsylvania) p. 449.）。最近ではこれら微小空洞群を金属不純物のゲッターリングサイトとして利用することが研究されている。

【0062】V. RaineriとS. U. Campisanoは、バルクSi中にHeイオンを注入、熱処理して形成された空洞群を形成した後、基体に溝を形成して空洞群の側面を露出し酸化処理を施した。その結果、空洞群は選択的に酸化されて埋め込み酸化Si層を形成した。すなわち、S

SOI構造を形成できることを報告した(V. Raineri, and S. U. Canpisano, Appl. Phys. Lett. 66 (1995) p. 3654)。しかしながら、彼らの方法では表面Si層と埋め込み酸化Si層の厚みは空洞群の形成と酸化時の体積膨張により導入されるストレスの緩和の両方を両立させる点に限定されている上に選択酸化のために溝の形成が必要であり、基体全面にSOI構造を形成することができなかった。斯様な空洞群の形成は、金属への軽元素の注入に伴う現象として、これら空洞群の膨れ、ないし、剥離現象とともに、核融合炉の第一炉壁に関する研究の一環として報告されてきた。



または、



ここで、 $\text{e}^-$  および  $\text{e}^-$  はそれぞれ正孔と電子を表している。また、 $n$  および  $\lambda$  はそれぞれSi1原子が溶解するために必要な正孔の数であり、 $n > 2$  または  $\lambda > 4$  なる条件が満たされた場合に多孔質Siが形成されるとしている。

【0065】以上のことから、正孔の存在するP型Siは多孔質化されるが、N型Siは多孔質化されない。この多孔質化における選択性は長野等および今井によって実証されている(長野、中島、安野、大中、梶原、電子通信学会技術研究報告、vol.79, SSD79-9549(1979))、(K. Imai, Solid-State Electronics, vol.24, 159(1981))。

【0066】しかし、高濃度N型Siであれば多孔質化されるとの報告もあり(R.P. Holmstrom and J.Y. Chi, Appl. Phys. Lett., vol.42, 386(1983))、P型、N型の別にこだわらず、多孔質化を実現できる基体を選ぶことが重要である。

【0067】多孔質SiはSi基体をHF溶液中で陽極化成(Anodization)することにより形成することができる。多孔質層は $10^{-1} \sim 10$  nm程度の直径の孔が $10^{-1} \sim 10$  nm程度の間隔で並んだスポンジのような構造をしている。その密度は、単結晶Siの密度 $2.33 \text{ g/cm}^3$ に比べて、HF溶液濃度を50~20%に変化させたり、電流密度を変化させることで $1.1 \sim 0.6 \text{ g/cm}^3$ の範囲に変化させることができる。すなわち、ポロジティを可変することが可能である。このように多孔質Siの密度は単結晶Siに比べると、半分以上にできるにもかかわらず、単結晶性は維持されており、多孔質層の上部へ単結晶Si層をエピタキシャル成長させることも可能である。ただし、1000℃以上では、内部の孔の再配列が起こり、増速エッチングの特性が損なわれる。このため、Si層のエピタキシャル成長には、分子線エピタキシャル成長、プラズマCVD、減圧CVD法、光C

【0063】多孔質SiはUhlir等によって1956年に半導体の電解研磨の研究過程において発見された(A. Uhlir, Bell Syst. Tech. J., vol.35, 333(1956))。多孔質SiはSi基体をHF溶液中で陽極化成(Anodization)することにより形成することができる。ウナガミ等は陽極化成におけるSiの溶解反応を研究し、HF溶液中のSiの陽極反応には正孔が必要であり、その反応は、次のようであると報告している(T. ウナガミ, J. Electrochem. Soc., vol.127, 476(1980))。

【0064】

VD、バイアス・スパッター法、液相成長法等の低温成長が好適とされている。しかし、あらかじめ低温酸化等の方法により多孔質層の孔壁にあらかじめ保護膜を形成しておけば、高温成長も可能である。

【0068】また、多孔質層はその内部に大量の空隙が形成されている為に、密度を半分以上に減少させることができる。その結果、体積に比べて表面積が飛躍的に増大するため、その化学エッチング速度は、通常の単結晶層のエッチング速度に比べて、著しく増速される。

【0069】多孔質Siの機械的強度はポロジティにより異なるが、バルクSiよりも弱いと考えられる。たとえば、ポロジティが50%であれば機械的強度はバルクの半分と考えて良い。すなわち、貼り合わせウエハに圧縮、引っ張りあるいは撓断力をかけると、まず多孔質Si層が破壊されることになる。また、ポロジティを増加させればより弱い力で多孔質層を破壊できる。

【0070】本発明は上記したような多孔質層中の表面から一定の深さの位置に微細な多孔質構造を重畳することで上記したさまざまな課題を同時に解決するものである。

【0071】希ガス、水素、および、窒素のうち少なくとも1種の元素を該多孔質層内に投影飛程をもつようにイオン注入すると、注入領域のポロジティが大きくなることを知見するにいたった。この注入層を電子顕微鏡で詳細に観察したところ、あらかじめ形成した多孔質の孔壁中に微小な空洞が多数形成されていた。すなわち、微小な多孔質が形成されていた。紫外光を照射したところ、700 nm付近の波長での発光現象が確認された。

【0072】さらに注入条件を選べば、イオン注入の投影飛程に相当する深さで多孔質Siを剥離することができる。

【0073】この剥離現象は特に低温酸化等の方法で多孔質Siの孔壁に薄い被膜を形成しておくことにより均

一性が向上し、あるいは、注入量が少なくても剥離するようになった。剥離現象は、イオン注入後に熱処理を加えることで促進される。

【0074】すなわち、剥離現象は注入時に発現させたり、後の熱処理時に発現させたり、注入量、エネルギーなどの注入条件を選ぶことにより選択することができる。

【0075】又、ポロジティの大きい層は、陽極成時の条件を制御することにより多孔質層の表面から一定の深さの位置に形成してもよい。

【0076】多孔質Si上に少なくとも一層の非多孔質単結晶Si層などの非多孔質薄膜を形成したのち、あるいは、形成せずに希ガス、水素、および、窒素のうち少なくとも1種の元素を該多孔質層内に投影飛程をもつようにイオン注入すると、注入された層のポロジティが高くなる。かかるSi基体を支持基体と貼り合わせたのち、基体に機械的な力を印加したり、熱処理をしたりすると、あるいは、これらの処理がなくても、多孔質Si層中のイオン注入された部分で貼り合わせた2枚の基体が2つに剥離することができる。

【0077】該イオン注入された層の両側を十分に厚い弾性体ないし剛体で支持することにより、大面積にわたって均一に分離することができる。また、両基体の分離は、熱処理を加える、両基体に力を加えたり、引っ張ったり、あるいは、超音波を印加するなどの方法で促進することも可能である。

【0078】また、イオン注入の際の表面に異物が存在したりしたために注入層の未形成領域が形成されている場合にも、多孔質層自体の機械的強度がバルクSiと比べて小さいため、剥離は多孔質層中で発生するので、非多孔質単結晶Si層にクラックなどのダメージが及ばずに貼り合わせた二枚の基体を分離することができる。

【0079】さらに剥離した基体の表面に残留する多孔質Si層をエッチング、ポリッシング等の方法で選択的に除去して、単結晶Si層を支持基体上に移設することができる。また、残留した多孔質Siを除去したSi基体は再び多孔質Siを形成し、単結晶Si層を形成し、再び希ガス、水素、および、窒素のうち少なくとも1種の元素を該多孔質層内に投影飛程をもつようにイオン注入したのち、支持基体と貼り合わせる工程に投入することができる。すなわち、第1の基体の再利用が可能である。また、Si基体に多孔質Si層を残したまま、水素を含む雰囲気などの還元性雰囲気で熱処理すると多孔質Si表面は平坦、平滑化され、引き続き単結晶Si層を形成することが可能である。該単結晶Si層を支持基体と貼り合わせれば、やはり第1の基体を再利用することが可能である。

【0080】本方法によれば、剥離する部分が多孔質層中のイオン注入された領域に限定されているので、剥離する領域の深さは多孔質層中でばらつくことがない。従

って、多孔質Siのエッチング選択比が不足している場合でも多孔質Siが除去される時間をほぼ一定にすることができるので、支持基体上に移設された単結晶Si層の均一性を損なうことがない。

【0081】従来の貼り合わせ基体の作製はSi基体を研削やエッチングにより片面から順次除去していく方法を用いているため、Si基体の両面を有効活用し支持基体に貼り合わせることは不可能であるが、本発明によれば、Si基体はその表面層以外は元のまま保持されているため、Si基体の両面を共に主面とし、その面にそれぞれ支持基体を貼り合わせることにより、2枚の貼り合わせ基体を同時に1枚のSi基体から作製することができる。もちろん、この場合もSi基体は残留多孔質を除去した後、再びSi基体として再利用することが可能である。

【0082】支持基体としては、例えばSi基体、Si基体に酸化Si膜を形成したもの、石英基体(Silica glass)やガラス基体のような光透過性基体、あるいは、金属基体などがあげられるが特に限定されるものではない。

【0083】Si基体上の多孔質Si層上に形成する薄膜は、例えば非多孔質単結晶Si、GaAs、InPなどの化合物半導体の他、金属薄膜、炭素薄膜などが上げられるがこれに限定されるものではない。また、これらの薄膜は全面に形成されていることが必須ではなく、パターンニング処理により、部分的にエッチングされていてもよい。

【0084】〔実施形態1〕図1(a)に示すように、まずSi単結晶基体11を用意して、その表面層を多孔質化し、得られた多孔質層を12する。図1(b)に示すように多孔質層12に希ガス、水素、および、窒素のうち少なくとも一種の元素をイオン注入する。すると多孔質層12の中に、ポロジティの大きい多孔質層13ができる。注入するイオンは荷電状態は特に限定されない。加速エネルギーは注入したい深さに投影飛程がくるように設定する。注入量に応じて、形成される微少空洞の大きさ、密度は変化するが、概ね $1 \times 10^{13} / \text{cm}^2$ 以上、より好ましくは $1 \times 10^{14} / \text{cm}^2$ である。投影飛程を深く設定したい場合には、チャネリングイオン注入によっても構わない。注入後には必要に応じて、熱処理を行う。熱処理雰囲気は酸化性雰囲気の場合には孔壁が酸化されるので、酸化しすぎてSi領域が全て酸化Siに変質してしまわないように注意する。

【0085】この様にして形成した試料に短波長の光として、水銀ランプ、キセノンランプ等の光を照射すると780nm付近の赤色光を発する。すなわち、フォトルミネッセンスが確認される。あるいは、EL(エレクトロルミネッセンス)素子を形成できる。

【0086】図1(b)には、本発明の半導体基体が示されている。層13が、前述のイオン注入の結果得られ

た、ポロジティの大きい多孔質Si層である。発光現象を示す微細な多孔質構造が、均一にしかも、ウエハ全域に、大面積に形成される。また、表面は金属光沢を保っており、従来のようにステイン状の様相を示していないため、容易に金属配線等を配することができる。

【0087】〔実施形態2〕図2(a)に示すように、まずSi単結晶基体21を用意して、その表面層を多孔質化し、得られた多孔質層を22とする。図2(b)に示すように多孔質層に希ガス、水素、および、窒素のうち少なくとも一種の元素をイオン注入する。すると多孔質層22の中に、ポロジティの大きい多孔質層(イオン注入層)23ができる。注入するイオンは荷電状態は特に限定されない。加速エネルギーは注入したい深さに投影飛程がくるように設定する。注入量に応じて、形成される微少空洞の大きさ、密度は変化するが、概ね $1 \times 10^{14} / \text{cm}^2$ 以上、より好ましくは $1 \times 10^{15} / \text{cm}^2$ である。投影飛程を深く設定したい場合には、チャネリングイオン注入によっても構わない。注入後には必要に応じて、熱処理、あるいは、ウエハに、表面に垂直な方向に加圧すること、表面に垂直な方向に引っ張ること、ないし、撚断応力をかけることの少なくとも1つ以上の方法を行い、前記半導体基体を前記イオン注入層を境に2分割する。熱処理雰囲気酸化物性雰囲気の場合には孔壁が酸化されるので、酸化しすぎてSi領域が全て酸化Siに変質してしまわないように注意する。

【0088】図2(c)には、本発明で得られる極薄の多孔質基体が示される。基体の分割は注入時に導入された内部応力等により熱処理等をトリガーとして自発的に始まるので極薄の多孔質は基体全面に均一に形成することができる。多孔質の孔は基体の1主面から他方の主面に向かって形成されている。したがって、ガスを1主面側から圧力をかけて注入した場合には他主面側から噴出する。この際、多孔質の孔の大きさは数nmから数10nmのため、これより大きい粒子は透過し得ない。一方、圧力損失は孔の径、孔密度、該極薄多孔質基体の厚みによって形成されるが、概ね $20 \mu\text{m}$ 以下であれば、基体の強度と圧力損失の両方を実用範囲に収めることができる。

【0089】〔実施形態3〕図3(a)に示すように、まず第1のSi単結晶基体31を用意して、その表面層を多孔質化し、得られた多孔質層を32とする。続いて、図3(b)に示すように多孔質層上に少なくとも1層の非多孔質薄膜33を形成する。形成する膜は、単結晶Si、多結晶Si、非晶質Si、あるいは、金属膜、化合物半導体薄膜、超伝導薄膜などの中から任意に選ばれる。

【0090】図3(c)に示すように多孔質層に希ガス、水素、および、窒素のうち少なくとも一種の元素をイオン注入する。すると多孔質層32の中に、ポロジティの大きい多孔質層34ができる。注入するイオンは荷

電状態は特に限定されない。加速エネルギーは注入したい深さに投影飛程がくるように設定する。注入量に応じて、形成される微少空洞の大きさ、密度は変化するが、概ね $1 \times 10^{14} / \text{cm}^2$ 以上、より好ましくは $1 \times 10^{15} / \text{cm}^2$ である。投影飛程を深く設定したい場合には、チャネリングイオン注入によっても構わない。注入後には必要に応じて、熱処理を行う。熱処理雰囲気酸化物性雰囲気の場合には孔壁が酸化されるので、酸化しすぎてSi領域が全て酸化Siに変質してしまわないように注意する。

【0091】この様にして形成した試料に短波長の光として、水銀ランプ、キセノンランプ等の光を照射すると780nm付近の赤色光を発する。すなわち、フォトルミネッセンスが確認される。あるいは、エレクトロルミネッセンス(EL)素子を形成できる。EL素子はイオン注入等により多孔質層中に形成されたポロジティの大きい多孔質層に電圧が印加される構造を形成することにより実現される。図12は、EL素子の製造工程を表す断面図である。例えば、P<sup>+</sup>基体121を多孔質化した場合には、表面でから一定の深さの位置にポロジティの大きい多孔質層123を有する多孔質層122に対して、表面から燐イオンなどを注入、あるいは、熱拡散等により拡散させ、pn接合を前記ポロジティの大きい多孔質層中ないし、その近傍に形成することにより実現する。127はこの結果得られるポロジティの大きい多孔質層のn領域である。

【0092】電極125、126は基体と多孔質表面より確保する。多孔質表面側は電極形成に先立ち、多孔質上にエピタキシャルSi層124を形成し、この上に電極を形成してもよい(図12(c))。また図12(d)に示すように必要に応じて、エピタキシャルSi層は部分的に除去し、ELの発光を透過しやすくしてもよい。

【0093】図3(b)には、本発明で得られる半導体基体が示される。発光現象を示す微細な多孔質構造が、均一にしかも、ウエハ全域に、大面積に形成される。また、表面は金属光沢を保っており、従来のようにクラックなどの様相を示していないため、容易に金属配線等を配することができる。

【0094】〔実施形態4〕図4(a)に示すように、まずSi単結晶基体41を用意して、その表面層を多孔質化42する。続いて図4(b)に示すように多孔質層上に少なくとも1層の非多孔質薄膜43を形成する。形成する膜は、単結晶Si、多結晶Si、非晶質Si、あるいは、金属膜、化合物半導体薄膜、超伝導薄膜などの中から任意に選ばれる。あるいは、MOSFET等の素子構造を形成してしまっても構わない。図4(c)に示すように多孔質層に希ガス、水素、および、窒素のうち少なくとも一種の元素をイオン注入して注入層44を形成する。注入層を透過型電子顕微鏡などで観察すると微

小空洞が無数に形成されることがわかる。注入するイオンは荷電状態は特に限定されない。加速エネルギーは注入したい深さに投影飛程がくるように設定する。注入量に応じて、形成される微小空洞の大きさ、密度は変化するが、概ね $1 \times 10^{14} / \text{cm}^2$ 以上、より好ましくは $1 \times 10^{15} / \text{cm}^2$ である。投影飛程を深く設定したい場合には、チャネリングイオン注入によっても構わない。注入後には必要に応じて、熱処理を行う。熱処理雰囲気は酸化性雰囲気の場合には孔壁が酸化されるので、酸化しすぎてSi領域が全て酸化Siに変質してしまわないように注意する。

【0095】図4(d)に示すように、支持基体45と基体の表面とを室温で密着させた後、陽極接合、加圧、あるいは熱処理、あるいはこれらの組み合わせにより貼り合わせる。これにより、両基体は強固に結合する。

【0096】単結晶Siを堆積した場合には、単結晶Siの表面には熱酸化等の方法で酸化Siを形成したのち貼り合わせることが好ましい。また、支持基体は、Si、Si基体上に酸化Si膜を形成したもの、石英等の光透過性基体、サファイアなどから選択することができるが、これに限定されるものではなく、貼り合わせに供される面が十分に平坦で有れば構わない。貼り合わせに際しては絶縁性の薄板をはさみ3枚重ねて貼り合わせることも可能である。

【0097】次に、多孔質Si層42中のイオン注入で形成されたポジティの大きい多孔質層44で基体を分割する(図4(e))。支持基体側は、多孔質Si42/非多孔質薄膜(例えば単結晶Si層)43/支持基体45のような構造となる。

【0098】さらに、多孔質Si42を選択的に除去する。非多孔質薄膜が単結晶Siの場合には通常のSiのエッチング液、あるいは多孔質Siの選択エッチング液である弗酸、あるいは弗酸にアルコールおよび過酸化水素水の少なくともどちらか一方を添加した混合液、あるいは、バッファード弗酸あるいはバッファード弗酸にアルコールおよび過酸化水素水の少なくともどちらか一方を添加した混合液の少なくとも1種類を用いて、多孔質Si42のみを無電解湿式化学エッチングして支持基体上に予め第一の基体の多孔質上に形成した膜を残存させる。上記詳述したように、多孔質Siの膨大な表面積により通常のSiのエッチング液でも選択的に多孔質Siのみをエッチングすることが可能である。あるいは、単結晶Si層43を研磨ストッパーとして多孔質Si42を選択研磨で除去する。

【0099】化合物半導体層を多孔質上に形成している場合には化合物半導体に対してSiのエッチング速度の速いエッチング液を用いて、多孔質Si42のみを化学エッチングして絶縁性基体45上に薄膜化した単結晶化合物半導体層43を残存させ形成する。あるいは、単結晶化合物半導体層43を研磨ストッパーとして多孔質S

i42を選択研磨で除去する。

【0100】図4(f)には、本発明の半導体基体が表示される。絶縁性基体45上に非多孔質薄膜、例えば単結晶Si薄膜43が平坦に、しかも均一に薄膜化されて、ウエハ全域に、大面積に形成される。こうして得られた半導体基体は、絶縁分離された電子素子作製という点から見ても好適に使用することができる。

【0101】Si単結晶基体41は残留多孔質Siを除去して、表面平坦性が許容できないほど荒れている場合には表面平坦化を行った後、再度Si単結晶基体41として使用できる。

【0102】あるいは、多孔質Siを除去せずに再び非多孔質薄膜を形成し、図4(b)に示される基体とし、図4(c)～(f)に示される工程に再び投入することも可能である。

【0103】〔実施形態5〕図5(a)に示すように、まずSi単結晶基体51を用意して、その両面の表面層を多孔質化52、53する。続いて図5(b)に示すように両面の多孔質層上に少なくとも1層の非多孔質薄膜54、55を形成する。形成する膜は、単結晶Si、多結晶Si、非晶質Si、あるいは、金属膜、化合物半導体薄膜、超伝導薄膜などの中から任意に選ばれる。あるいは、MOSFET等の素子構造を形成してしまっても構わない。

【0104】図5(c)に示すように両面の多孔質層に希ガス、水素、および、窒素のうち少なくとも一種の元素をイオン注入して注入層56、57を形成する。注入層を透過型電子顕微鏡などで観察すると微小空洞が無数に形成されポジティが大きくなっていることがわかる。注入するイオンは荷電状態は特に限定されない。加速エネルギーは注入したい深さに投影飛程がくるように設定する。注入量に応じて、形成される微小空洞の大きさ、密度は変化するが、概ね $1 \times 10^{14} / \text{cm}^2$ 以上、より好ましくは $1 \times 10^{15} / \text{cm}^2$ である。投影飛程を深く設定したい場合には、チャネリングイオン注入によっても構わない。注入後には必要に応じて、熱処理を行う。熱処理雰囲気が酸化性雰囲気の場合には孔壁が酸化されるので、酸化しすぎてSi領域が全て酸化Siに変質してしまわないように注意する。

【0105】図5(d)に示すように、2枚の支持基体58、59と第一の基体の両面の非多孔質薄膜表面54、55とを室温で密着させた後、陽極接合、加圧、あるいは熱処理、あるいはこれらの組み合わせにより貼り合わせる。これにより、3枚の基体は強固に結合する。あるいは絶縁性の薄板をはさみ5枚重ねて貼り合わせる。

【0106】単結晶Siを堆積した場合には、単結晶Siの表面には熱酸化等の方法で酸化Siを形成したのち貼り合わせることが好ましい。また、支持基体は、Si、Si基体上に酸化Si膜を形成したもの、石英等の

光透過性基体、サファイアなどから選択することができるが、これに限定されるものではなく、貼り合わせに供される面が十分に平坦で有れば構わない。

【0107】貼り合わせに際しては絶縁性の薄板をはさみ3枚重ねて貼り合わせることも可能である。

【0108】次いで、両多孔質Si層52、53中のイオン注入された層56、57で基体を分割する(図5(e))。2枚の支持基体側は、それぞれ多孔質Si52ないし53/非多孔質薄膜(例えば単結晶Si層)54ないし55/支持基体58ないし59のような構造となる。

【0109】さらに、多孔質Si52、53を選択的に除去する。非多孔質薄膜が単結晶Siの場合には通常のSiのエッチング液、あるいは多孔質Siの選択エッチング液である弗酸、あるいは弗酸にアルコールおよび過酸化水素水の少なくともどちらか一方を添加した混合液、あるいは、バッファード弗酸あるいはバッファード弗酸にアルコールおよび過酸化水素水の少なくともどちらか一方を添加した混合液の少なくとも1種類を用いて、多孔質Si52、53のみを無電解湿式化学エッチングして支持基体上に予め第一の基体の多孔質上に形成した膜を残存させる。上記詳述したように、多孔質Siの膨大な表面積により通常のSiのエッチング液でも選択的に多孔質Siのみをエッチングすることが可能である。あるいは、単結晶Si層54、55を研磨ストッパーとして多孔質Si52、53を選択研磨で除去する。

【0110】化合物半導体層を多孔質上に形成している場合には化合物半導体に対してSiのエッチング速度の速いエッチング液を用いて、多孔質Si52、53のみを化学エッチングして絶縁性基体上に薄膜化した単結晶化合物半導体層54、55を残存させ形成する。あるいは、単結晶化合物半導体層54、55を研磨ストッパーとして多孔質Si52、53を選択研磨で除去する。

【0111】図5(f)には、本発明の半導体基体が表示される。支持基体上に非多孔質薄膜、例えば単結晶Si薄膜53が平坦に、しかも均一に薄膜化されて、ウエハ全域に、大面積に2体同時に形成される。こうして得られた半導体基体は、絶縁分離された電子素子作製という点から見ても好適に使用することができる。

【0112】Si単結晶基体51は残留多孔質Siを除去して、表面平坦性が許容できないほど荒れている場合には表面平坦化を行った後、再度Si単結晶基体51として使用できる。あるいは、多孔質Siを除去せずに再び非多孔質薄膜を形成し、図5(b)に示される基体とし、図5(c)～(f)に示される工程に再び投入することも可能である。尚、支持基体58、59は同一でなくとも良い。

【0113】(実施形態6) 図8を使って実施形態6を説明する。まず単結晶Si基体100を陽極化成して多孔質Si層101を形成する(図8(a))。このとき

多孔質化する厚みは、基体の片側表面層数 $\mu\text{m}$ ～数10 $\mu\text{m}$ でよい。またSi基体100全体を陽極化成してもかまわない。

【0114】多孔質Siの形成方法については、図11を用いて説明する。まず基体としてP型の単結晶Si基体600を用意する。N型でも不可能ではないが、その場合は低抵抗の基体に限定されるか、または光を基体表面に照射してホールを生成を促進した状態で行なわなければならない。基体600を図11(A)に示すような装置にセッティングする。即ち基体の片側がフッ酸系の溶液604に接していて、溶液側に負の電極606がとられており、逆側は正の金属電極605に接している。

【0115】これと別に図11(B)に示すように、正電極側605'も溶液604'を介して電位をとってもかまわない。いずれにせよフッ酸系溶液に接している負の電極側から多孔質化が起こる。フッ酸系溶液604としては、一般的には濃フッ酸(49%HF)を用いる。純水( $\text{H}_2\text{O}$ )で希釈していくと、流す電流値にもよるが、ある濃度からエッチングが起ってしまうので好ましくない。また陽極化成中に基体600の表面から気泡が発生してしまい、この気泡を効率よく取り除く目的から、界面活性剤としてアルコールを加えることもできる。アルコールとしてメタノール、エタノール、プロパノール、イソプロパノール等が用いられる。また界面活性剤の代わりに攪はん器を用いて、溶液を攪はんしながら陽極化成を行ってもよい。

【0116】負電極606に関しては、フッ酸溶液に対して侵食されないような材料、例えば金(Au)、白金(Pt)等が用いられる。正側の電極605の材質は一般に用いられる金属材料でかまわないが、陽極化成が基体600すべてになされた時点で、フッ酸系溶液604が正電極605に達するので、正電極605の表面にも耐フッ酸溶液性の金属膜をコーティングしておくとい。陽極化成を行う電流値は最大数100A/ $\text{cm}^2$ であり、最小値は零でなければよい。この値は多孔質化したSiの表面に良質のエピタキシャル成長ができる範囲内で決定される。通常電流値が大きいと陽極化成の速度が増すと同時に、多孔質Si層の密度が小さくなる。即ち孔の占める体積が大きくなる。これによってエピタキシャル成長の条件が変わってくるのである。

【0117】以上のようにして形成した多孔質層101上に、非多孔質の単結晶Si層102をエピタキシャル成長させる(図8(b))。

【0118】次いで、エピタキシャル層102の表面を酸化してSiO<sub>2</sub>層103(熱酸化を含む)を形成する(図8(c))。これはエピタキシャル層を次の工程で直接支持基体と貼り合わせた場合、貼り合わせ界面には不純物が偏析しやすく、また界面の原子の非結合手(ダングリングボンド)が多くなり、薄膜デバイスの特性を不安定化させる要因になるからである。但し必ずしもこ

の工程は必須ではなく、上記現象が問題とならないようなデバイス構成を考えるならば省略してもかまわない。ここで、 $\text{SiO}_2$ 層103は、SOI基体の絶縁層としての機能を果たすが、絶縁層は、貼り合わせる基体表面の少なくとも1面に形成される必要があり、絶縁層の形成に際しては種々の懸念がある。

【0119】尚、酸化する場合酸化膜厚は、貼り合わせ界面に取り込まれる大気中からのコンタミネーションの影響を受けない程度の厚みがあれば良い。

【0120】このあと、前述のイオン注入等の方法により多孔質Si層101の中にポロジティの大きい層を作る。ポロジティの大きい層はイオン注入の他、図11の陽極化成の電流を途中で変化させることによって形成できる。

【0121】そして、上記表面が酸化されたエピタキシャル面を有する基体100と、支持基体となる $\text{SiO}_2$ 層104を表面に有する基体110を用意する。支持基体110はSi基体表面を酸化（熱酸化を含む）したもの、石英ガラス、結晶化ガラス、任意基体上に $\text{SiO}_2$ を堆積したものなどが挙げられる。ここで $\text{SiO}_2$ 層104を設けないSi基体を用いることもできる。

【0122】上記用意した2枚の基板を洗浄した後に貼り合わせる（図8（d））。洗浄方法は通常の半導体基板を（例えば酸化前に）洗浄する工程に準じて行なう。

【0123】貼り合わせた後に基板を全面で加圧すると、接合の強度を高める効果がある。

【0124】そして次に貼り合った基板を熱処理する。熱処理温度は高い方が好ましいが、あまり高すぎると多孔質層101が構造変化をおこしてしまったり、基板に含まれていた不純物がエピタキシャル層に拡散することがあるので、これらをおこさない温度と時間を選択する必要がある。具体的には600～1100℃程度が好ましい。また基板によっては高温で熱処理できないものがある。例えば支持基板110が石英ガラスである場合には、Siと石英の熱膨張係数の違いから、200℃程度以下の温度でしか熱処理できない。この温度を越えると貼り合わせた基板が応力で剥がれたり、または割れたりしてしまう。ただし熱処理は次の工程で行なうバルクSi100の研削やエッチングの際の応力に耐えられれば良い。従って200℃以下の温度であっても活性化の表面処理条件を最適化することで、プロセスは行なえる。

【0125】そして、前述の方法で、ポロジティの大きい多孔質Si層で、基体を2枚に分離する。

【0126】次にエピタキシャル成長層102を残してSi基体部分100と多孔質部分101を選択的に除去する（図8（e））。このようにしてSOI基体を得られる。

【0127】更に、以上説明した工程に下述する工程を付加する場合もある。

【0128】（1）多孔質層の孔の内壁の酸化（pre

oxidation）

多孔質Si層の隣接する孔の間の壁の厚みは、数nm～数10nmと非常に薄い。このためエピタキシャルSi層形成時、貼り合わせ後の熱処理時等、多孔質層に高温処理を施すと孔壁が凝集することにより、孔壁が粗大化して孔をふさぎ、エッチング速度が低下してしまう場合がある。そこで、多孔質層の形成後、孔壁に薄い酸化膜を形成して、孔の粗大化を抑制することができる。しかし、多孔質層上には非多孔質単結晶Si層をエピタキシャル成長させる必要があることから、多孔質層の孔壁の内部には、単結晶性が残るように孔の内壁の表面だけを酸化する必要がある。ここで形成される酸化膜は、数Å～数10Åの膜厚とするのが望ましい。このような膜厚の酸化膜は、酸素雰囲気中で200℃～700℃の温度、より好ましくは、250℃～500℃の温度での熱処理により形成される。

【0129】（2）水素ベーキング処理

本発明者らは、先にEP553852A2公報において、水素雰囲気下の熱処理により、Si表面の微小な荒れ（roughness）を除去し、非常になめらかなSi表面が得られることを示した。本発明においても、水素雰囲気下でのベーキングを適用することができる。水素ベーキングは、例えば、多孔質Si層形成後、エピタキシャルSi層形成前に行なうことができ、これと別に多孔質Si層のエッチング除去後に得られるSOI基体に行なうことができる。エピタキシャルSi層形成前に行なう水素ベーキング処理によれば、多孔質Si表面を構成するSi原子のマイグレーション（migration）により、孔の最表面が閉塞されるという現象が生ずる。孔の最表面が閉塞された状態でエピタキシャルSi層の形成が行なわれると、より結晶欠陥の少ないエピタキシャルSi層が得られる。一方、多孔質Si層のエッチング後に行なう水素ベーキングによれば、エッチングにより多少荒れたエピタキシャルSi表面をなめらかにする作用と、ボンディングの際の貼り合わせ界面にクリーンルーム中の空気から不可避免的にとり込まれ、エピタキシャルSi層に拡散した中のボロンおよび多孔質Si層からエピタキシャルSi層に熱拡散したボロンを外方拡散により脱離させるという作用がある。

【0130】（実施形態7）実施形態7を図9を使い説明する。図9に付した番号のうち図8と同じ番号のものは、図8の同様の部位を表わす。図8に示した例においては、貼り合わされる2枚の基体の表面は、 $\text{SiO}_2$ 層103と $\text{SiO}_2$ 層104であったが、必ずしも両面が $\text{SiO}_2$ 層である必要はなく、少なくとも1つの面が $\text{SiO}_2$ で構成されていれば良い。ここで示す態様は、多孔質Si層上に形成されたエピタキシャルSi層1102表面を、Si基体1110上に形成された酸化膜1104表面と貼り合わせるもの（B、C、D）と、エピタキシャルSi層1102の表面を熱酸化して形成した酸



化膜1103表面を酸化処理していないSi基体1110の表面と貼り合わせるもの(E, F, G)である。ここで示す態様においても、他の工程は、図8に示した例と同様に行なうことができる。

【0131】(実施形態8)実施形態8について、図10を用いて説明する。図10に付した番号のうち図8と同じ番号のものは、図8と同様の部位を表わす。ここで示す態様においては、エピタキシャルSi膜が形成された基体と貼り合わせる基体に、石英ガラス、青板ガラス等のガラス材料1210を用いることが特徴的である。この態様としては、エピタキシャルSi層1102をガラス基体1210と貼り合わせる態様(B, C, D)と、エピタキシャルSi層1102の表面を熱酸化して形成された酸化膜1103とガラス基体1210と貼り合わせる態様(E, F, G)が示されている。ここで示す態様においても他の工程は図8に示した例と同様に行なうことができる。

【0132】

【実施例】以下、具体的な実施例を挙げて本発明を詳細に説明するが、本発明はこれら実施例に限定されるものではない。

【0133】(実施例1)625 $\mu$ mの厚みを持った比抵抗0.01 $\Omega \cdot$ cmのP型あるいはN型の6インチ径の(100)単結晶Si基体を、HF溶液中において陽極化成を行った。

【0134】陽極化成条件は以下のとおりであった。

電流密度: 5 (mA $\cdot$ cm $^{-2}$ )

陽極化成溶液: HF:H<sub>2</sub>O:C<sub>2</sub>H<sub>5</sub>OH=1:1:1

時間: 12 (分)

多孔質Siの厚み: 10 ( $\mu$ m)

ポロジティ: 15 (%)

【0135】次にこの基体の多孔質側に加速電圧30keVで $5 \times 10^{16}$ /cm $^2$ のHe $^{+}$ イオンを注入した。次いで、この基体を真空中850℃で8時間熱処理した。

【0136】この基体に水銀ランプの光を照射したところ、波長750nm付近の赤色光の発光が確認された。

【0137】(実施例2)625 $\mu$ mの厚みを持った比抵抗0.01 $\Omega \cdot$ cmのP型の6インチ径の(100)単結晶Si基体を2枚用意し、1枚にはHF溶液中において陽極化成を行った。

【0138】陽極化成条件は以下のとおりであった。

電流密度: 5 (mA $\cdot$ cm $^{-2}$ )

陽極化成溶液: HF:H<sub>2</sub>O:C<sub>2</sub>H<sub>5</sub>OH=1:1:1

時間: 12 (分)

多孔質Siの厚み: 10 ( $\mu$ m)

ポロジティ: 15 (%)

【0139】この基体の多孔質側ともう1枚の表面側に加速電圧30keVで $5 \times 10^{16}$ /cm $^2$ のHe $^{+}$ イオンを注入した。次に、この基体の多孔質側ともう1枚の

表面側に酸素イオンを100keV、 $5 \times 10^{16}$ /cm $^2$ で注入した。この後、これらの基体を真空中850℃で8時間熱処理した。さらに表面にITO電極を蒸着した。

【0140】Si基体とITO電極の間に電圧を印加したところ、多孔質化した基体では波長750nm付近の発光が確認されたが、他方の基体では発光が確認されなかった。

【0141】(実施例3)625 $\mu$ mの厚みを持った比抵抗0.01 $\Omega \cdot$ cmのP型あるいはN型の6インチ径の(100)単結晶Si基体を2枚用意し、1枚にHF溶液中において陽極化成を行った。

【0142】陽極化成条件は以下のとおりであった。

電流密度: 5 (mA $\cdot$ cm $^{-2}$ )

陽極化成溶液: HF:H<sub>2</sub>O:C<sub>2</sub>H<sub>5</sub>OH=1:1:1

時間: 12 (分)

多孔質Siの厚み: 20 ( $\mu$ m)

ポロジティ: 15 (%)

【0143】この基体を酸素雰囲気中400℃で1時間酸化した。この酸化により多孔質Siの孔の内壁は熱酸化膜で覆われた。次にこの多孔質化した基体の多孔質側ともう1枚の基体に酸素イオンを加速電圧0.76MeV、 $1 \times 10^{17}$ /cm $^2$ で基体全面に注入した。

【0144】次にこの基体を真空中1000℃で1時間熱処理したところ、多孔質層はイオン注入した領域相当する約1 $\mu$ mの厚みで多孔質層が基体全面で均一に剥離したが、多孔質化しない方の基体には水疱状の割れが多数形成されただけであった。

【0145】(実施例4)625 $\mu$ mの厚みを持った比抵抗0.01 $\Omega \cdot$ cmのP型の6インチ径の(100)単結晶Si基体をHF溶液中において陽極化成を行った。

【0146】陽極化成条件は以下のとおりであった。

電流密度: 5 (mA $\cdot$ cm $^{-2}$ )

陽極化成溶液: HF:H<sub>2</sub>O:C<sub>2</sub>H<sub>5</sub>OH=1:1:1

時間: 12 (分)

多孔質Siの厚み: 10 ( $\mu$ m)

ポロジティ: 15 (%)

【0147】この基体を酸素雰囲気中400℃で1時間酸化した。この酸化により多孔質Siの孔の内壁は熱酸化膜で覆われた。多孔質Si上にCVD(Chemical Vapor Deposition)法により単結晶Siを0.1 $\mu$ mエピタキシャル成長した。成長条件は以下の通りとした。

【0148】

ソースガス: SiH<sub>2</sub>Cl<sub>2</sub>/H<sub>2</sub> ...

ガス流量: 0.5/180 l/min

ガス圧力: 80 Torr

温度: 900 °C

成長速度: 0.3  $\mu$ m/min

【0149】次にこの基体の多孔質側ともう1枚の表面

側に加速電圧30 keVで $5 \times 10^{16}/\text{cm}^2$ のHe<sup>+</sup>イオンを注入した。次いで、この基体の多孔質側ともう1枚の表面側にHeイオンを100 keV、 $5 \times 10^{16}/\text{cm}^2$ で注入した。この後、これらの基体をアルゴン雰囲気中850度で8時間熱処理した。次いで、表面にITO電極を蒸着した。そして、Si基体とITO電極の間に電圧を印加したところ、多孔質化した基体では波長750 nm付近の発光が確認された。

【0150】(実施例5) 625  $\mu\text{m}$ の厚みを持った比抵抗0.01  $\Omega \cdot \text{cm}$ のP型あるいはN型の6インチ径の(100)単結晶Si基体を2枚用意し、HF溶液中において陽極化成を行った。

【0151】陽極化成条件は以下のとおりであった。

電流密度: 5 ( $\text{mA} \cdot \text{cm}^{-2}$ )

陽極化成溶液: HF:H<sub>2</sub>O:C<sub>2</sub>H<sub>5</sub>OH=1:1:1

時間: 12 (分)

多孔質Siの厚み: 3 ( $\mu\text{m}$ )

ポロジティ: 15 (%)

【0152】この基体を酸素雰囲気中400℃で1時間酸化した。この酸化により多孔質Siの孔の内壁は熱酸化膜で覆われた。多孔質Si上にCVD (Chemical Vapor Deposition) 法により単結晶Siを0.15  $\mu\text{m}$ エピタキシャル成長した。成長条件は、以下の通りとした。

【0153】

ソースガス: SiH<sub>2</sub>Cl<sub>2</sub>/H<sub>2</sub>

ガス流量: 0.5/180 l/min

ガス圧力: 80 Torr

温度: 950 °C

成長速度: 0.3  $\mu\text{m}/\text{min}$

【0154】さらに、このエピタキシャルSi層表面に熱酸化により100 nmのSiO<sub>2</sub>層を形成した。

【0155】次にこれらのうち、一方の基体のみの多孔質側に加速電圧50 keVで $1 \times 10^{17}/\text{cm}^2$ のHe<sup>+</sup>イオンを注入した。

【0156】該SiO<sub>2</sub>層表面と、別に用意した500 nmのSiO<sub>2</sub>層を形成した支持基体となるSi基体の表面とを重ね合わせ、接触させた後、1000℃-2時間の熱処理をし、貼り合わせ強度の増強をおこなったところ、Heイオンを注入の投影飛程に相当する位置で2枚の基体が完全に分離した。剥離した面を詳細に光学顕微鏡で観察したが、当初の貼り合わせ面が露出している部分は発見できなかった。

【0157】一方のHeイオン注入をしなかった基体はなんら外見上の変化はなく、貼り合わされたままであった。そこでHeイオン注入をしなかった貼り合わせ基体の多孔質化したSi基体側を通常半導体で用いられる研削装置を使用して研削して多孔質Si層を露出させたが、研削精度が十分でないために多孔質層を全面で露出させることはできなかった。

【0158】その後、支持基体側に残った多孔質Si層

を49%希酸と30%過酸化水素水との混合液(1:5)で攪はんしながら選択エッチングした。単結晶Siはエッチングされずに残り、単結晶Siをエッチ・ストップの材料として、多孔質Siは選択エッチングされ、完全に除去された。

【0159】非多孔質Si単結晶の該エッチング液に対するエッチング速度は、極めて低く、多孔質層のエッチング速度との選択比は10<sup>5</sup>以上にも達し、非多孔質層におけるエッチング量(数10 Å程度)は実用上無視できる膜厚減少である。

【0160】この結果、Si酸化膜上に0.1  $\mu\text{m}$ の厚みを持った単結晶Si層が形成できた。多孔質Siの選択エッチングによっても単結晶Si層には何ら変化はなかった。

【0161】透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。また、エピタキシャルSi層表面に酸化膜を形成しなくても同様の結果が得られた。

【0162】(実施例6) 625  $\mu\text{m}$ の厚みを持った比抵抗0.01  $\Omega \cdot \text{cm}$ のP型あるいはN型の6インチ径の(100)単結晶Si基体を2枚用意し、HF溶液中において陽極化成を行った。

【0163】陽極化成条件は以下のとおりであった。

電流密度: 5 ( $\text{mA} \cdot \text{cm}^{-2}$ )

陽極化成溶液: HF:H<sub>2</sub>O:C<sub>2</sub>H<sub>5</sub>OH=1:1:1

時間: 12 (分)

多孔質Siの厚み: 10 ( $\mu\text{m}$ )

ポロジティ: 15 (%)

【0164】この基体を酸素雰囲気中400℃で1時間酸化した。この酸化により多孔質Siの孔の内壁は熱酸化膜で覆われた。多孔質Si上にCVD (Chemical Vapor Deposition) 法により単結晶Siを0.15  $\mu\text{m}$ エピタキシャル成長した。成長条件は以下の通りである。膜厚はおよそ±2%の精度である。

【0165】

ソースガス: SiH<sub>2</sub>Cl<sub>2</sub>/H<sub>2</sub>

ガス流量: 0.5/180 l/min

ガス圧力: 80 Torr

温度: 950 °C

成長速度: 0.3  $\mu\text{m}/\text{min}$

【0166】さらに、このエピタキシャルSi層表面に熱酸化により100 nmのSiO<sub>2</sub>層を形成した。次にこれらのうち、一方の基体のみの多孔質側に水素イオンを加速電圧50 keVで $5 \times 10^{16}/\text{cm}^2$ の注入した。

【0167】該SiO<sub>2</sub>層表面と、別に用意した500 nmのSiO<sub>2</sub>層を形成した支持基体となるSi基体の表面とを重ね合わせ、接触させた後、1000℃-2時間の熱処理をし、貼り合わせ強度の増強をおこなったと

ころ、水素イオンを注入の投影飛程に相当する位置で2枚の基体が完全に分離した。剥離した面を詳細に光学顕微鏡で観察したが、当初の貼り合わせ面が露出している部分は発見できなかった。

【0168】一方、水素イオン注入をしなかった基体はなんら外見上の変化はなく、貼り合わされたままであった。水素イオン注入をしなかった貼り合わせ基体の多孔質化した基体側を通常半導体で用いられる研削装置を使用して研削して多孔質層を露出させたが、研削精度が十分でないために残留した多孔質層の厚みは1~9 $\mu$ mであった。

【0169】その後、支持基体側に残った多孔質Si層を49%弗酸と30%過酸化水素水との混合液(1:2)で攪はんしながら選択エッチングする。単結晶Siはエッチングされずに残り、単結晶Siをエッチ・ストップの材料として、多孔質Siは選択エッチングされ、完全に除去された。

【0170】非多孔質Si単結晶の該エッチング液にたいするエッチング速度は、極めて低く、多孔質層のエッチング速度との選択比は $10^5$ 以上にも達し、非多孔質層におけるエッチング量(数10Å程度)は実用上無視できる膜厚減少である。

【0171】すなわち、Si酸化膜上に0.1 $\mu$ mの厚みを持った単結晶Si層が形成できた。形成された単結晶Si層の膜厚を面内全面について100点を測定したところ、膜厚の均一性は水素イオン注入をした方では $101\text{nm} \pm 3\text{nm}$ であったが、水素イオン注入をしない方では $101\text{nm} \pm 7\text{nm}$ であり、多孔質Siの厚みのばらつきの影響で膜厚分布が劣化していることが確認された。この後、水素中で $1100^\circ\text{C}$ で熱処理を1時間施した。

【0172】単結晶Si層の表面粗さを原子間力顕微鏡で評価したところ、50 $\mu$ m角の領域での平均2乗粗さはおおよそ0.2nmで通常市販されているSiウエハと同等であった。また、透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。また、エピタキシャルSi層表面に酸化膜を形成しなくても同様の結果が得られた。

【0173】同時にSi基体側に残った多孔質Siも49%弗酸と30%過酸化水素水との混合液(1:2)で攪はんしながら選択エッチングした。単結晶Siはエッチングされずに残り、単結晶Siをエッチ・ストップの材料として、多孔質Siは選択エッチングされ、完全に除去され、再び多孔質化する工程に投入することができた。

【0174】(実施例7)625 $\mu$ mの厚みを持った比抵抗 $0.01\Omega \cdot \text{cm}$ のP型あるいはN型の5インチ径の(100)単結晶Si基体を2枚用意し、HF溶液中において陽極化成を行った。

【0175】陽極化成条件は以下のとおりであった。

電流密度: 5( $\text{mA} \cdot \text{cm}^{-2}$ )

陽極化成溶液:  $\text{HF}:\text{H}_2\text{O}:\text{C}_2\text{H}_5\text{OH}=1:1:1$

時間: 12(分)

多孔質Siの厚み: 10( $\mu\text{m}$ )

ポロジティ: 15(%)

【0176】この基体を酸素雰囲気中 $400^\circ\text{C}$ で1時間酸化した。この酸化により多孔質Siの孔の内壁は熱酸化膜で覆われた。多孔質Si上にCVD(Chemical Vapor Deposition)法により単結晶Siを0.55 $\mu\text{m}$ エピタキシャル成長した。成長条件は以下の通りである。膜厚はおおよそ $\pm 2\%$ の精度である。

【0177】

ソースガス:  $\text{SiH}_2\text{Cl}_2/\text{H}_2$

ガス流量: 0.5/180 l/min

ガス圧力: 80 Torr

温度:  $900^\circ\text{C}$

成長速度: 0.3  $\mu\text{m}/\text{min}$

【0178】さらに、このエピタキシャルSi層表面に熱酸化により100nmの $\text{SiO}_2$ 層を形成した。

【0179】次に、これらのうち、一方の基体のみの多孔質側に水素イオンを加速電圧100keV、 $5 \times 10^{17}/\text{cm}^2$ で注入した。

【0180】該 $\text{SiO}_2$ 層表面と、別に用意した支持基体となる石英基体の表面をそれぞれ酸素プラズマに曝した後、重ね合わせ、接触させた後、 $200^\circ\text{C}$ ~2時間の熱処理をし、貼り合わせ強度の増強をおこなった。貼り合わせたウエハに面内に対して垂直方向にさらに面内に均一に十分な圧力を加えたところ多孔質Si層はイオン注入した領域で二分割された。

【0181】一方、水素イオン注入をしなかった基体はさらに圧力を加えることが多孔質層が破壊し、2分割された。しかし、分割された多孔質の状況を観察したところ、一部では単結晶Si層にクラックが導入されていることがわかったので後の工程には投入できなかった。

【0182】その後、基体側に残った多孔質Si層を49%弗酸と30%過酸化水素水との混合液(1:2)で攪はんしながら選択エッチングする。単結晶Siはエッチングされずに残り、単結晶Siをエッチ・ストップの材料として、多孔質Siは選択エッチングされ、完全に除去された。

【0183】非多孔質Si単結晶の該エッチング液にたいするエッチング速度は、極めて低く、多孔質層のエッチング速度との選択比は $10^5$ 以上にも達し、非多孔質層におけるエッチング量(数10Å程度)は実用上無視できる膜厚減少である。

【0184】この結果、Si酸化膜上に0.5 $\mu$ mの厚みを持った単結晶Si層が形成できた。形成された単結晶Si層の膜厚を面内全面について100点を測定したところ、膜厚の均一性は水素イオン注入をした方では5

01nm±11nmであった。この後、水素中で1100℃で熱処理を1時間施した。

【0185】単結晶Si層の表面粗さを原子間力顕微鏡で評価したところ、50μm角の領域での平均2乗粗さはおよそ0.2nmで通常市販されているSiウエハと同等であった。また、透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。また、エピタキシャルSi層表面に酸化膜を形成しなくても同様の結果が得られた。

【0186】Si基体側に残った多孔質Siには再びCVD(Chemical Vapor Deposition)法により単結晶Siを0.55μmエピタキシャル成長した。成長条件は以下の通りである。膜厚はおよそ±2%の精度である。

【0187】

ソースガス:  $\text{SiH}_2\text{Cl}_2/\text{H}_2$   
 ガス流量: 0.5/180 l/min  
 ガス圧力: 80 Torr  
 温度: 900℃  
 成長速度: 0.3 μm/min

【0188】この単結晶Si層の結晶欠陥密度を欠陥顕在化エッチングで評価したところ、欠陥密度はおよそ $1 \times 10^3 \cdot \text{cm}^2$ であり、この基体は再び、イオン注入、貼り合わせ工程に投入することができた。

【0189】(実施例8)625μmの厚みを持った比抵抗0.01Ω・cmのP型あるいはN型の6インチ径の(100)単結晶Si基体を2枚用意し、HF溶液中において陽極化成を行った。

【0190】陽極化成条件は以下のとおりであった。

電流密度: 5 (mA・cm<sup>2</sup>)  
 陽極化成溶液: HF:H<sub>2</sub>O:C<sub>2</sub>H<sub>5</sub>OH=1:1:1  
 時間: 12(分)  
 多孔質Siの厚み: 10(μm)  
 ポロジティ: 15(%)

【0191】この基体を酸素雰囲気中400℃で1時間酸化した。この酸化により多孔質Siの孔の内壁は熱酸化膜で覆われた。多孔質Si上にCVD(Chemical Vapor Deposition)法により単結晶Siを0.15μmエピタキシャル成長した。成長条件は以下の通りである。膜厚はおよそ±2%の精度である。

【0192】

ソースガス:  $\text{SiH}_2\text{Cl}_2/\text{H}_2$   
 ガス流量: 0.5/180 l/min  
 ガス圧力: 80 Torr  
 温度: 950℃  
 成長速度: 0.3 μm/min

【0193】さらに、このエピタキシャルSi層表面に熱酸化により100nmのSiO<sub>2</sub>層を形成した。

【0194】次にこれらのうち、一方の基体のみの多孔質側にHeイオンを加速電圧100keV、 $1 \times 10^{17}$

/cm<sup>2</sup>で注入した。

【0195】該SiO<sub>2</sub>層表面と、別に用意した500nmのSiO<sub>2</sub>層を形成した支持基体となるSi基体の表面とを重ね合わせ、接触させた後、400℃-2時間の熱処理をした。貼り合わせたウエハに面内に対して垂直方向にさらに面内に均一に十分な引っ張り力を加えたところ、Heイオンを注入の投影飛程に相当する位置で2枚の基体が完全に分離した。剥離した面を詳細に光学顕微鏡で観察したが、当初の貼り合わせ面が露出している部分は発見できなかった。

【0196】一方、Heイオン注入をしなかった基体はさらに圧力を加えることが多孔質層が破壊し、2分割された。しかし、分割された多孔質の状況を観察したところ、一部では単結晶Si層にクラックが導入されていることがわかったので後の工程には投入できなかった。

【0197】その後、支持基体側に残った多孔質Si層を49%弗酸と30%過酸化水素水との混合液(1:2)で攪はんしながら選択エッチングした。単結晶Siはエッチングされずに残り、単結晶Siをエッチ・ストップの材料として、多孔質Siは選択エッチングされ、完全に除去された。

【0198】非多孔質Si単結晶の該エッチング液にたいするエッチング速度は、極めて低く、多孔質層のエッチング速度との選択比は10<sup>5</sup>以上にも達し、非多孔質層におけるエッチング量(数10Å程度)は実用上無視できる膜厚減少である。

【0199】この結果、Si酸化膜上に0.1μmの厚みを持った単結晶Si層が形成できた。形成された単結晶Si層の膜厚を面内全面について100点を測定したところ、膜厚の均一性はヘリウムイオン注入をした方では101nm±3nmであったが、ヘリウムイオン注入をしない方では101nm±7nmであり、多孔質Siの厚みのばらつきの影響で膜厚分布が劣化していることが確認された。そして、水素中で1100℃で熱処理を1時間施した。

【0200】単結晶Si層の表面粗さを原子間力顕微鏡で評価したところ、50μm角の領域での平均2乗粗さはおよそ0.2nmで通常市販されているSiウエハと同等であった。また、透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。またエピタキシャルSi層表面に酸化膜を形成しなくても同様の結果が得られた。

【0201】同時にSi基体側に残った多孔質Siも49%弗酸と30%過酸化水素水との混合液(1:2)で攪はんしながら選択エッチングした。単結晶Siはエッチングされずに残り、単結晶Siをエッチ・ストップの材料として、多孔質Siは選択エッチングされ、完全に除去され、再び多孔質化する工程に投入することができた。

【0202】(実施例9) 625 $\mu$ mの厚みを持った比抵抗0.01 $\Omega \cdot \text{cm}$ のP型あるいはN型の6インチ径の(100)単結晶Si基体を2枚用意し、HF溶液中において陽極化成を行った。

【0203】陽極化成条件は以下のとおりであった。

電流密度: 5 (mA $\cdot\text{cm}^{-2}$ )

陽極化成溶液: HF:H<sub>2</sub>O:C<sub>2</sub>H<sub>5</sub>OH=1:1:1

時間: 12 (分)

多孔質Siの厚み: 10 ( $\mu$ m)

ポロジティ: 15 (%)

【0204】この基体を酸素雰囲気中400℃で1時間酸化した。この酸化により多孔質Siの孔の内壁は熱酸化膜で覆われた。多孔質Si上に多孔質Si上にMBE (Molecular Beam Epitaxy)法により単結晶Siを0.5 $\mu$ mエピタキシャル成長した。成長条件は以下の通りである。膜厚はおおよそ±2%の精度である。

【0205】

温度: 700℃

圧力:  $1 \times 10^{-9}$  Torr

成長速度: 0.1 nm/sec

温度: 950℃

成長速度: 0.3  $\mu$ m/min

【0206】さらに、このエピタキシャルSi層表面に熱酸化により100nmのSiO<sub>2</sub>層を形成した。

【0207】次にこれらのうち、一方の基体のみの多孔質側にHeイオンを加速電圧100keV、 $1 \times 10^{17}$  /cm<sup>2</sup>で注入した。

【0208】該SiO<sub>2</sub>層表面と、別に用意した500nmのSiO<sub>2</sub>層を形成したSi基体の表面とを重ね合わせ、接触させた後、300℃-2時間の熱処理をした。貼り合わせた2枚のウエハをそれぞれ真空チャックで固定して、ウエハの主面と水平方向にひねり、剪断力を加えたところ、Heイオンを注入の投影飛程に相当する位置で2枚の基体が完全に分離した。剥離した面を詳細に光学顕微鏡で観察したが、当初の貼り合わせ面が露出している部分は発見できなかった。一方、Heイオン注入をしなかった基体はさらに力を加えると真空チャックがはずれてしまい、後の工程には投入できなかった。

【0209】その後、支持基体側に残った多孔質Si層を49%弗酸と30%過酸化水素水との混合液(1:2)で攪はんしながら選択エッチングする。単結晶Siはエッチングされずに残り、単結晶Siをエッチ・ストップの材料として、多孔質Siは選択エッチングされ、完全に除去された。

【0210】非多孔質Si単結晶の該エッチング液にたいするエッチング速度は、極めて低く、多孔質層のエッチング速度との選択比は10<sup>6</sup>以上にも達し、非多孔質層におけるエッチング量(数10Å程度)は実用上無視できる膜厚減少である。

【0211】この結果、Si酸化膜上に0.1 $\mu$ mの厚

みを持った単結晶Si層が形成できた。形成された単結晶Si層の膜厚を面内全面について100点を測定したところ、膜厚の均一性は水素イオン注入をした方では101nm $\pm$ 3nmであったが、水素イオン注入をしない方では101nm $\pm$ 7nmであり、多孔質Siの厚みのばらつきの影響で膜厚分布が劣化していることが確認された。そして、水素中で1100℃で熱処理を1時間施した。

【0212】単結晶Si層の表面粗さを原子間力顕微鏡で評価したところ、50 $\mu$ m角の領域での平均2乗粗さはおおよそ0.2nmで通常市販されているSiウエハと同等であった。また、透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。また、エピタキシャルSi層表面に酸化膜を形成しなくても同様の結果が得られた。

【0213】同時にSi基体側に残った多孔質Siも49%弗酸と30%過酸化水素水との混合液(1:2)で攪はんしながら選択エッチングした。その結果単結晶Siはエッチングされずに残り、単結晶Siをエッチ・ストップの材料として、多孔質Siは選択エッチングされ、完全に除去され、再び多孔質化する工程に投入することができた。

【0214】(実施例10) 625 $\mu$ mの厚みを持った比抵抗0.01 $\Omega \cdot \text{cm}$ のP型あるいはN型の5インチ径の(100)単結晶Si基体を2枚用意し、HF溶液中において陽極化成を行った。

【0215】陽極化成条件は以下のとおりであった。

電流密度: 5 (mA $\cdot\text{cm}^{-2}$ )

陽極化成溶液: HF:H<sub>2</sub>O:C<sub>2</sub>H<sub>5</sub>OH=1:1:1

時間: 12 (分)

多孔質Siの厚み: 10 ( $\mu$ m)

ポロジティ: 15 (%)

【0216】この基体を酸素雰囲気中400℃で1時間酸化した。この酸化により多孔質Siの孔の内壁は熱酸化膜で覆われた。多孔質Si上にCVD (Chemical Vapor Deposition) 法により単結晶Siを0.55 $\mu$ mエピタキシャル成長した。成長条件は以下の通りである。膜厚はおおよそ±2%の精度である。

【0217】

ソースガス: SiH<sub>2</sub>Cl<sub>2</sub>/H<sub>2</sub>

ガス流量: 0.5/180 l/min

ガス圧力: 80 Torr

温度: 900℃

成長速度: 0.3  $\mu$ m/min

さらに、このエピタキシャルSi層表面に熱酸化により100nmのSiO<sub>2</sub>層を形成した。

【0218】次にこれらのうち、一方の基体のみの多孔質側に水素イオンを加速電圧100keV、 $1 \times 10^{18}$  /cm<sup>2</sup>で注入した。

【0219】該 $\text{SiO}_2$ 層表面、別に用意した支持基体となる石英基体の表面をそれぞれ酸素プラズマに曝した後、重ね合わせ、接触させた後、 $200^\circ\text{C}$ -2時間の熱処理をし、貼り合わせ強度の増強をおこなったところ、多孔質 $\text{Si}$ 層はイオン注入した領域で二分割された。一方、水素イオン注入をしなかった基体は何の変化も観察されなかった。

【0220】その後、支持基体側に残った多孔質 $\text{Si}$ 層を49%弗酸と30%過酸化水素水との混合液(1:2)で攪はんしながら選択エッチングする。単結晶 $\text{Si}$ はエッチングされずに残り、単結晶 $\text{Si}$ をエッチ・ストップの材料として、多孔質 $\text{Si}$ は選択エッチングされ、完全に除去された。

【0221】非多孔質 $\text{Si}$ 単結晶の該エッチング液にたいするエッチング速度は、極めて低く、多孔質層のエッチング速度との選択比は $10^5$ 以上にも達し、非多孔質層におけるエッチング量(数10Å程度)は実用上無視できる膜厚減少である。

【0222】この結果、石英基体上に $0.5\mu\text{m}$ の厚みを持った単結晶 $\text{Si}$ 層が形成できた。形成された単結晶 $\text{Si}$ 層の膜厚を面内全面について100点を測定したところ、膜厚の均一性は水素イオン注入をした方では $501\text{nm} \pm 11\text{nm}$ であった。この後、水素中で $1100^\circ\text{C}$ で熱処理を1時間施した。

【0223】単結晶 $\text{Si}$ 層の表面粗さを原子間力顕微鏡で評価したところ、 $50\mu\text{m}$ 角の領域での平均2乗粗さはおおよそ $0.2\text{nm}$ で通常市販されている $\text{Si}$ ウエハと同等であった。また、透過電子顕微鏡による断面観察の結果、 $\text{Si}$ 層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。また、エピタキシャル $\text{Si}$ 層表面に酸化膜を形成しなくても同様の結果が得られた。

【0224】(実施例11)  $625\mu\text{m}$ の厚みを持った比抵抗 $0.01\Omega \cdot \text{cm}$ のP型あるいはN型の5インチ径の(100)単結晶 $\text{Si}$ 基体を1枚用意し、HF溶液中において陽極化成を行った。

【0225】陽極化成条件は以下のとおりであった。

【0226】

電流密度:  $5(\text{mA} \cdot \text{cm}^{-2})$

陽極化成溶液:  $\text{HF}:\text{H}_2\text{O}:\text{C}_2\text{H}_5\text{OH}=1:1:1$

時間: 12(分)

多孔質 $\text{Si}$ の厚み:  $10(\mu\text{m})$

ポロジティ: 15(%)

【0227】この基体を酸素雰囲気中 $400^\circ\text{C}$ で1時間酸化した。この酸化により多孔質 $\text{Si}$ の孔の内壁は熱酸化膜で覆われた。多孔質 $\text{Si}$ 上にMOCVD(Metal Organic Chemical Vapor Deposition)法により単結晶 $\text{GaAs}$ を $1\mu\text{m}$ エピタキシャル成長した。成長条件は以下の通りとした。

【0228】

ソースガス:  $\text{TMG}/\text{AsH}_3/\text{H}_2$

ガス圧力: 80 Torr

温度:  $700^\circ\text{C}$

【0229】次にこの基体の多孔質側に $\text{He}$ イオンを加速電圧 $100\text{keV}$ 、 $1 \times 10^{18}/\text{cm}^2$ で注入した。

【0230】該 $\text{GaAs}$ 層表面と、別に用意した支持基体となる $\text{Si}$ 基体の表面とを重ね合わせ、接触させた後、 $200^\circ\text{C}$ -2時間の熱処理をし、貼り合わせ強度の増強をおこなったところ、多孔質 $\text{Si}$ 層はイオン注入した領域で二分割された。

【0231】その後、多孔質 $\text{Si}$ 層の内壁の酸化膜を弗酸で除去した後、多孔質 $\text{Si}$ をエチレンジアミン+ピロカテコール+水(17ml:3g:8mlの比率)

$110^\circ\text{C}$

でエッチングした。単結晶 $\text{GaAs}$ はエッチングされずに残り、単結晶 $\text{GaAs}$ をエッチ・ストップの材料として、多孔質 $\text{Si}$ は選択エッチングされ、完全に除去された。

【0232】単結晶 $\text{GaAs}$ の該エッチング液にたいするエッチング速度は、極めて低く、実用上無視できる膜厚減少である。

【0233】この結果、 $\text{Si}$ 基体上に $1\mu\text{m}$ の厚みを持った単結晶 $\text{GaAs}$ 層が形成できた。多孔質 $\text{Si}$ の選択エッチングによっても単結晶 $\text{GaAs}$ 層には何ら変化はなかった。

【0234】透過電子顕微鏡による断面観察の結果、 $\text{GaAs}$ 層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。また、支持基体として酸化膜付きの $\text{Si}$ 基体を用いることにより、絶縁膜上の $\text{GaAs}$ も同様に作製できた。

【0235】(実施例12)  $625\mu\text{m}$ の厚みを持った比抵抗 $0.01\Omega \cdot \text{cm}$ のP型あるいはN型の5インチ径の第1の(100)単結晶 $\text{Si}$ 基体を、HF溶液中において陽極化成を行った。

【0236】陽極化成条件は以下のとおりであった。

【0237】

電流密度:  $10(\text{mA} \cdot \text{cm}^{-2})$

陽極化成溶液:  $\text{HF}:\text{H}_2\text{O}:\text{C}_2\text{H}_5\text{OH}=1:1:1$

時間: 24(分)

多孔質 $\text{Si}$ の厚み:  $20(\mu\text{m})$

ポロジティ: 17(%)

【0238】この基体を酸素雰囲気中 $400^\circ\text{C}$ で2時間酸化した。この酸化により多孔質 $\text{Si}$ の孔の内壁は熱酸化膜で覆われた。多孔質 $\text{Si}$ 上にMBE(Molecular Beam Epitaxy)法により単結晶 $\text{AlGaAs}$ を $0.5\mu\text{m}$ エピタキシャル成長した。

【0239】次にこの基体の多孔質側に $\text{He}$ イオンを加速電圧 $100\text{keV}$ 、 $1 \times 10^{18}/\text{cm}^2$ で注入した。

【0240】該AlGaAs層表面と、別に用意した支持基体となる低融点ガラス基体の表面とを重ね合わせ、接触させた後、500℃-2時間の熱処理をし、貼り合わせをおこなった。この熱処理により両基体は強固に貼り合わされた。

【0241】貼り合わせたウエハに面内に対して垂直方向にさらに面内に均一に十分な圧力を加えたところ多孔質Si層はイオン注入した領域で二分割された。その後、多孔質Siを弗酸溶液でエッチングした。単結晶AlGaAsはエッチングされずに残り、単結晶AlGaAsをエッチ・ストップの材料として、多孔質Siは選択エッチングされ、完全に除去された。単結晶AlGaAsの該エッチング液にたいするエッチング速度は、極めて低く、実用上無視できる膜厚減少である。

【0242】この結果、ガラス基体上に0.5μmの厚みを持った単結晶AlGaAs層が形成できた。多孔質Siの選択エッチングによっても単結晶AlGaAs層には何ら変化はなかった。透過電子顕微鏡による断面観察の結果、AlGaAs層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0243】(実施例13) 625μmの厚みを持った比抵抗0.01Ω・cmのP型あるいはN型の両面研磨の6インチ径の(100)単結晶Si基体を、HF溶液中において両面に対して陽極化成を行った。

【0244】陽極化成条件は以下のとおりであった。

【0245】

電流密度: 5 (mA・cm<sup>-2</sup>)

陽極化成溶液: HF:H<sub>2</sub>O:C<sub>2</sub>H<sub>5</sub>OH=1:1:1

時間: 12×2 (分)

多孔質Siの厚み: 各10 (μm)

ポロジティ: 15 (%)

【0246】この基体を酸素雰囲気中400℃で1時間酸化した。この酸化により多孔質Siの孔の内壁は熱酸化膜で覆われた。両面に形成した多孔質Si上にCVD (Chemical Vapor Deposition) 法により単結晶Siをそれぞれ1μmエピタキシャル成長した。成長条件は以下の通りとした。

【0247】

ソースガス: SiH<sub>2</sub>Cl<sub>2</sub>/H<sub>2</sub>

ガス流量: 0.5/180 l/min

ガス圧力: 80 Torr

温度: 950 °C

成長速度: 0.3 μm/min

【0248】さらに、このエピタキシャルSi層表面に熱酸化により100nmのSiO<sub>2</sub>層を形成した。次にこれらの両側の多孔質に水素イオンを加速電圧100keV、1×10<sup>18</sup>/cm<sup>2</sup>で注入した。

【0249】該SiO<sub>2</sub>層表面と、別に用意した500nmのSiO<sub>2</sub>層を形成した2枚の支持基体となるSi

基体の表面とをそれぞれ重ね合わせ、接触させた後、600℃-2時間の熱処理をし、貼り合わせをおこなったところ、多孔質Si層はイオン注入した領域で二分割された。

【0250】その後、多孔質Si層を49%弗酸と30%過酸化水素水との混合液(1:5)で攪はんしながら選択エッチングする。単結晶Siはエッチングされずに残り、単結晶Siをエッチ・ストップの材料として、多孔質Siは選択エッチングされ、完全に除去された。

【0251】非多孔質Si単結晶の該エッチング液にたいするエッチング速度は、極めて低く、多孔質層のエッチング速度との選択比は10<sup>5</sup>以上にも達し、非多孔質層におけるエッチング量(数10Å程度)は実用上無視できる膜厚減少である。

【0252】すなわち、Si酸化膜上に1μmの厚みを持った単結晶Si層が2枚同時に形成できた。多孔質Siの選択エッチングによっても単結晶Si層には何ら変化はなかった。透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。また、エピタキシャルSi層表面に酸化膜を形成しなくても同様の結果が得られた。

【0253】(実施例14) 625μmの厚みを持った比抵抗0.01Ω・cmのP型あるいはN型の5インチ径の(100)単結晶Si基体を2枚用意し、HF溶液中において陽極化成を行った。

【0254】陽極化成条件は以下のとおりであった。

電流密度: 5 (mA・cm<sup>-2</sup>)

陽極化成溶液: HF:H<sub>2</sub>O:C<sub>2</sub>H<sub>5</sub>OH=1:1:1

時間: 12 (分)

多孔質Siの厚み: 10 (μm)

ポロジティ: 15 (%)

【0255】この基体を酸素雰囲気中400℃で1時間酸化した。この酸化により多孔質Siの孔の内壁は熱酸化膜で覆われた。多孔質Si上にCVD (Chemical Vapor Deposition) 法により単結晶Siを0.55μmエピタキシャル成長した。成長条件は以下の通りである。膜厚はおよそ±2%の精度である。

【0256】

ソースガス: SiH<sub>2</sub>Cl<sub>2</sub>/H<sub>2</sub>

ガス流量: 0.5/180 l/min

ガス圧力: 80 Torr

温度: 900 °C

成長速度: 0.3 μm/min

【0257】さらに、このエピタキシャルSi層表面に熱酸化により100nmのSiO<sub>2</sub>層を形成した。

【0258】次にこれらのうち、一方の基体のみの多孔質側に水素イオンを加速電圧100keV、1×10<sup>18</sup>/cm<sup>2</sup>で注入した。

【0259】該SiO<sub>2</sub>層表面と、別に用意した支持基



体となる石英基体の表面をそれぞれ酸素プラズマに曝した後、重ね合わせ、接触させた後、200℃-2時間の熱処理をし、貼り合わせ強度の増強をおこなった。次にこの基体に超音波等の波動エネルギーを印加したところ多孔質Si層はイオン注入した領域で二分割された。

【0260】一方の水素イオン注入をしなかった基体は何の変化も観察されなかった。

【0261】その後、支持基体側に残った多孔質Si層を49%弗酸と30%過酸化水素水との混合液(1:2)で攪はんしながら選択エッチングした。単結晶Siはエッチングされずに残り、単結晶Siをエッチ・ストップの材料として、多孔質Siは選択エッチングされ、完全に除去された。

【0262】非多孔質Si単結晶の該エッチング液にたいするエッチング速度は、極めて低く、多孔質層のエッチング速度との選択比は $10^5$ 以上にも達し、非多孔質層におけるエッチング量(数10Å程度)は実用上無視できる膜厚減少である。

【0263】この結果、Si酸化膜上に0.5μmの厚みを持った単結晶Si層が形成できた。形成された単結晶Si層の膜厚を面内全面について100点を測定したところ、膜厚の均一性は水素イオン注入をした方では $501\text{nm} \pm 11\text{nm}$ であった。この後、水素中で1100℃で熱処理を1時間施した。

【0264】単結晶Si層の表面粗さを原子間力顕微鏡で評価したところ、50μm角の領域での平均2乗粗さはおおよそ0.2nmで通常市販されているSiウエハと同等であった。また、透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。また、エピタキシャルSi層表面に酸化膜を形成しなくても同様の結果が得られた。

【0265】残った、Si単結晶基体は残留多孔質Siを除去して、表面研磨を行い鏡面状にした後、再度Si単結晶基体として使用した。

【0266】

【発明の効果】本発明の半導体基体の製造方法によれば、多孔質上に単結晶Si層を形成したのちに、微小構造の多孔質層を形成できるので、多孔質の構造変化等に影響されることなく、単結晶層のエピタキシャル成長条件を設定することが可能である。すなわち、発光層となる熱処理等で変化しやすい微小な構造の多孔質層を膜形成のための熱処理の終了後に形成することができるので、素子の特性が安定化できる。

【0267】また、本発明の半導体基体の製造方法は、Si基体を除去する際に、大面積に多孔質層を紹介して一括して分離することができるため、工程を短縮し、しかも、分離する位置はイオン注入により多孔質層中に規定されるので、支持基体側にのこる多孔質層の厚みが均一なため、選択性よく多孔質層を除去することができた

め、装置の形状や環境の変化によりエッチングが不安定な際にも、経済性に優れて、大面積に渡り均一平坦な、極めて優れた結晶性を有するSi単結晶層あるいは化合物半導体単結晶層等の非多孔質薄膜を支持基体に歩留まり良く、移設することができる。すなわち、Si単結晶層が絶縁層上に形成されたSOI構造を膜厚の均一性良く、しかも、歩留まり良く得ることができる。しかも、分離する位置は多孔質層中になるようにイオン注入の投影飛程により規定されるので、支持基体側にのこる多孔質層の厚みが均一なため、選択性よく多孔質層を除去することができる。また、取り去ったSi基体も残留多孔質を除去することにより再びSi基体として再利用することが可能である。多孔質Si除去後の表面平坦性が不十分であれば表面平坦化処理を行う。

【0268】本発明の半導体基体の製造方法は、透明基体(光透過性基体)上に結晶性が単結晶ウエハ並に優れたSiあるいは化合物半導体単結晶層を得るうえで、生産性、均一性、制御性、コストの面において卓越した半導体基体の作製方法を提供する。

【0269】本発明の半導体基体によれば、選択比が族群に優れている選択エッチングを行えるので、支持基体との貼り合わせをおこなうことにより、大面積に渡り均一平坦な、極めて優れた結晶性を有するSOI基体あるいは支持基体上の化合物半導体単結晶の製造方法を得ることができる。

【0270】また、本発明の半導体基体の製造方法によれば、多孔質Si上に結晶性の良い単結晶化合物半導体層を形成でき、さらにこの半導体層を経済性に優れている、しかも大面積の絶縁性基体上に移し代えることが可能であり、化合物単結晶半導体のヘテロ接合を作る上で問題点である格子定数、熱膨張係数の差を十分に抑制し、良好な結晶性を有する化合物半導体層を絶縁性基体上に形成することができる。

【0271】また、イオン注入の際の表面に異物が存在したりしたために注入層の未形成領域が形成されている場合にも、多孔質層自体の機械的強度がバルクSiと比べて小さいため、剥離は多孔質層中で発生するので、非多孔質単結晶Si層にクラックなどのダメージが及ばずに貼り合わせた二枚の基体を分離することができる。

【0272】また、イオン注入領域にはゲッターリング効果もあるため、金属不純物が存在した場合にも、イオン注入領域に不純物をゲッターリングしたのちに貼り合わせた二枚の基体を分離し、イオン注入領域は除去できるので、不純物汚染に対しても有効である。

【0273】また、剥離する部分が多孔質層中のイオン注入された領域に限定されているので、剥離する領域の深さは多孔質層中でばらつくことがない。従って、多孔質Siのエッチング選択比が不足している場合でも多孔質Siが除去される時間をほぼ一定にすることができるので、支持基体上に移設された単結晶Si層厚の均一性

を損なうことがない。

【図面の簡単な説明】

【図1】本発明の半導体基体の作製工程の一例を説明するための模式図である。

【図2】本発明の半導体基体の作製工程の一例を説明するための模式図である。

【図3】本発明の半導体基体の作製工程の一例を説明するための模式図である。

【図4】本発明の半導体基体の作製工程の一例を説明するための模式図である。

【図5】本発明の半導体基体の作製工程の一例を説明するための模式図である。

【図6】本出願人が先に提案した半導体基体の作製工程の一例を説明するための模式図である。

【図7】従来の半導体基体の作製工程の一例を説明するための模式図である。

【図8】実施形態6の半導体基体の作製工程を表す図である。

【図9】実施形態7の半導体基体の作製工程を表す図である。

【図10】実施形態8の半導体基体の作製工程を表す図である。

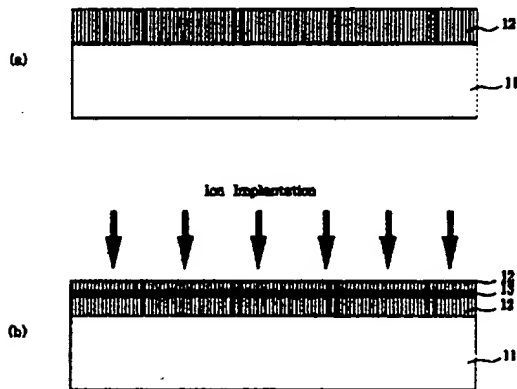
【図11】陽極化成を説明する図である。

【図12】発光素子の製造工程を表す図である。

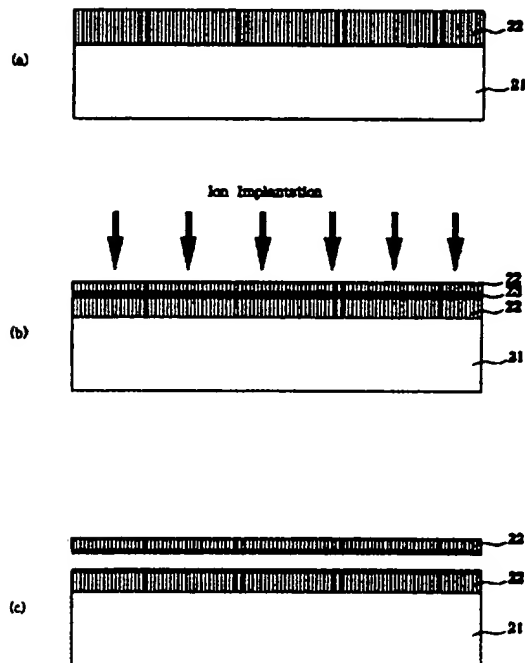
【符号の説明】

11, 21, 31, 41, 51, 61, 71, 100, 600, 121 Si基体  
12, 22, 32, 42, 52, 53, 62, 72, 101, 122 多孔質Si層  
13, 23, 34, 44, 56, 57, 123, 127 ポロジティの大きい多孔質Si層  
33, 43, 54, 55, 63, 73, 102, 110 2, 124 非多孔質層  
45, 58, 59, 64, 74, 110, 1110, 1210 支持基体  
103, 104, 1103, 1104 SiO<sub>2</sub>層  
125, 126 電極  
604 フッ酸系溶液  
605 正電極  
606 負電極

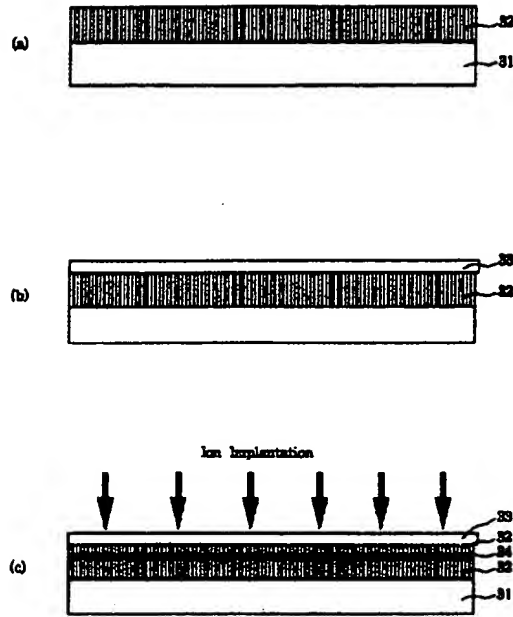
【図1】



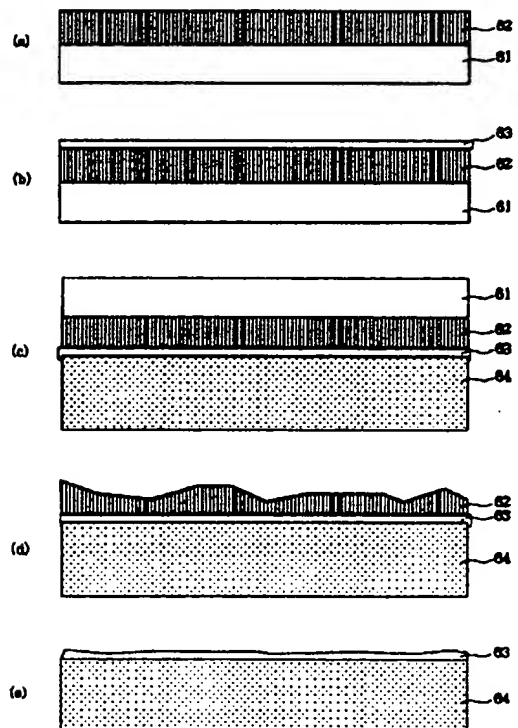
【図2】



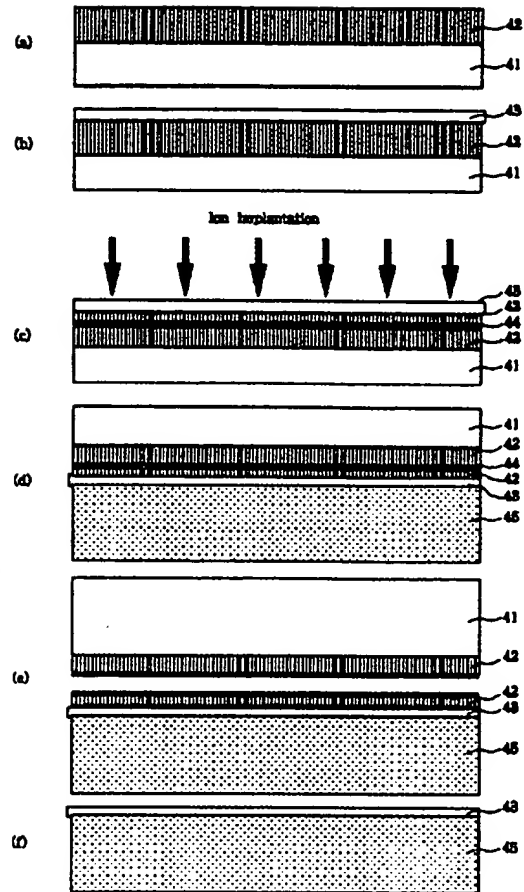
【図3】



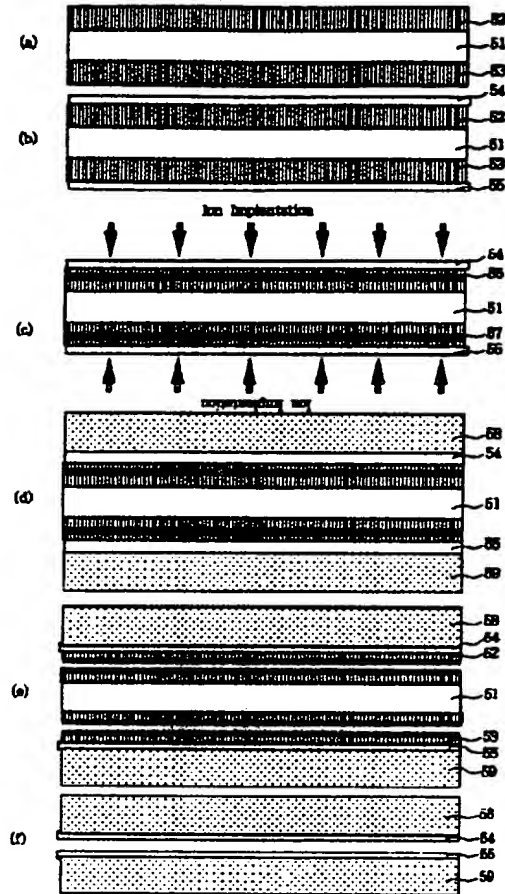
【図6】



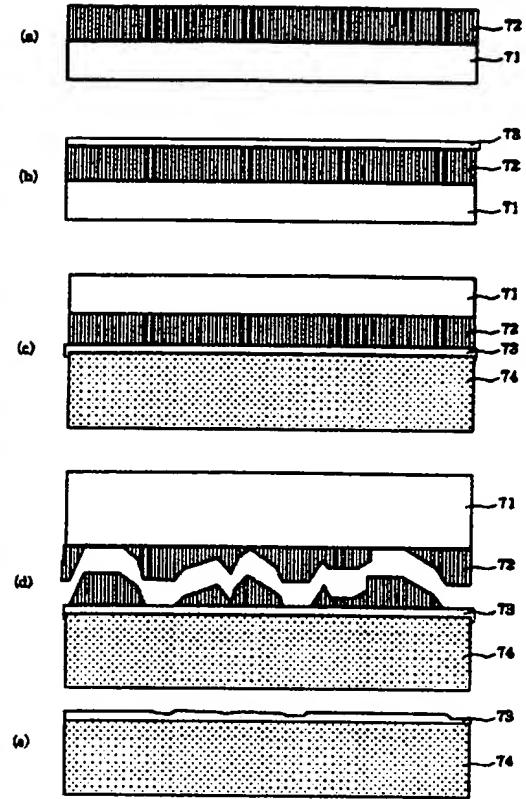
【図4】



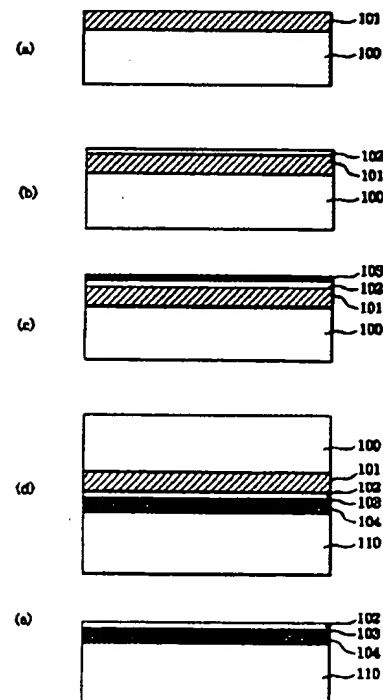
【図5】



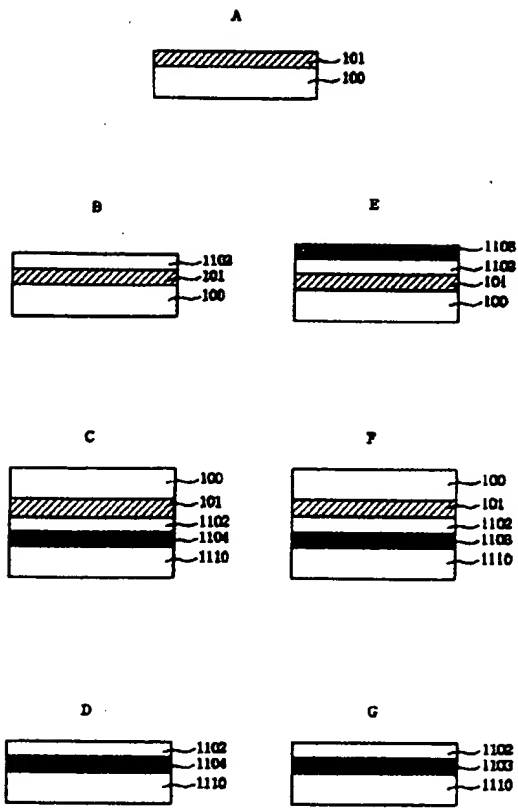
【図7】



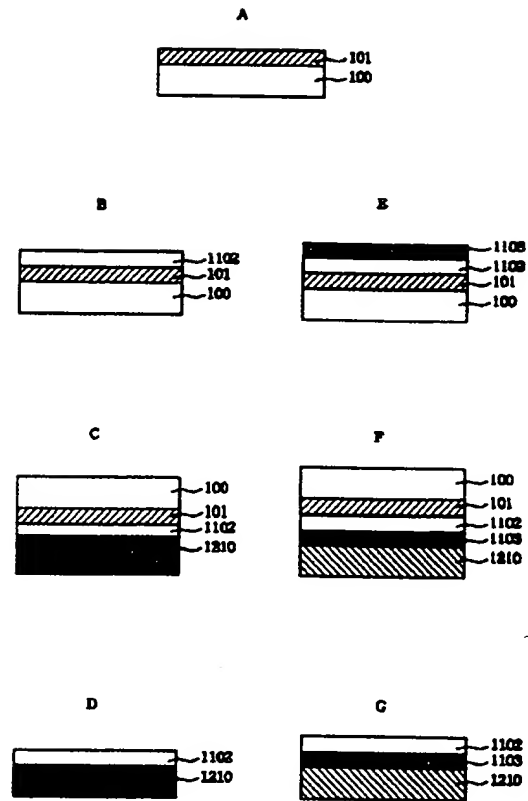
【図8】



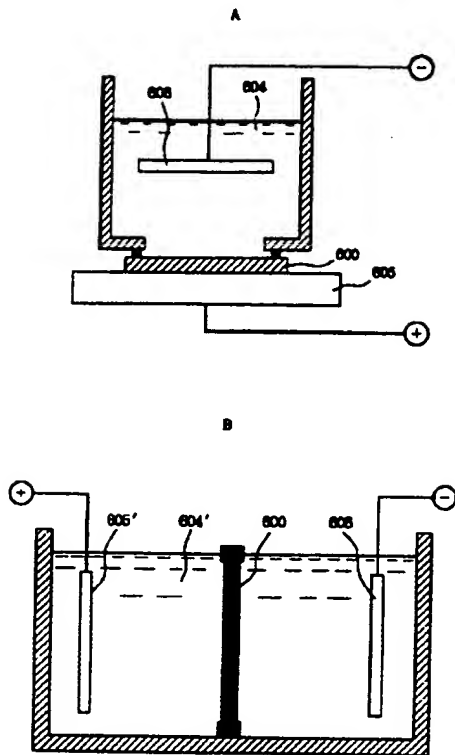
【図9】



【図10】



【図11】



【図12】

